

#3

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT60188-084
AUGUST 7, 2001
FURUYA, ET AL.
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 9月21日

出願番号

Application Number:

特願2000-286668

出願人

Applicant(s):

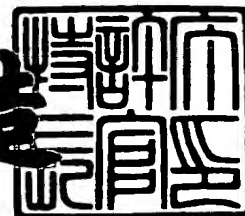
松下電器産業株式会社

J1036 U.S. PAT.
09/922671
08/07/01

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3030451

【書類名】 特許願

【整理番号】 5037620081

【提出日】 平成12年 9月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/118

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 古谷 栄樹

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 渡邊 久起

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 本谷 篤志

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 CMOS型基本セル及びこれを使用した半導体集積回路の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、

前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と垂直な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域とは独立して存在する配線パターンを有する

ことを特徴とするCMOS型基本セル。

【請求項 2】 半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、

前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立して存在する配線パターンを有する

ことを特徴とするCMOS型基本セル。

【請求項 3】 半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、

前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立すると共に、他の基本セルが隣接したときこの基本セルの配線パターンと接続される配線パターンを有する

ことを特徴とするCMOS型基本セル。

【請求項 4】 半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、

前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と垂直な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域とは独立して存在する配線パターンと、

前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立して存在する他の配線パターンとを有することを特徴とするCMOS型基本セル。

【請求項5】 半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、

前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立して存在する配線パターンと、

前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立すると共に、他の基本セルが隣接したときこの基本セルの配線パターンと接続される他の配線パターンとを有する

ことを特徴とするCMOS型基本セル。

【請求項6】 半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、

前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と垂直な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立して存在する配線パターンと、

前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立すると共に、他の基本セルが隣接したときこの基本セルの配線パターンと接続される他の配線パターンとを有する

ことを特徴とするCMOS型基本セル。

【請求項 7】 電源配線及びグランド配線が配線された固定配線領域を持ち、前記配線パターンは、前記固定配線領域に設けられることを特徴とする請求項 1、2、3、4、5 又は 6 記載の CMOS 型基本セル

【請求項 8】 基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、

半導体基板に前記請求項 1、2、3、4、5、6 又は 7 記載の CMOS 型基本セルを複数配置し、

各 CMOS 型基本セルの配線パターンと、1 つの配線レイヤとを使用して、クロック信号線を有する論理回路を実現する

ことを特徴とする半導体集積回路の製造方法。

【請求項 9】 基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、

半導体基板に前記請求項 1、2、3、4、5、6 又は 7 記載の CMOS 型基本セルを複数配置し、

各 CMOS 型基本セルの配線パターンと、1 つの配線レイヤとを使用して、トランジスタを平行に接続した部分を有する論理回路を実現する

ことを特徴とする半導体集積回路の製造方法。

【請求項 10】 基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、

半導体基板に前記請求項 1、2、3、4、5、6 又は 7 記載の CMOS 型基本セルを複数配置し、

各 CMOS 型基本セルの配線パターンと、1 つの配線レイヤとを使用して、複合論理回路を実現する

ことを特徴とする半導体集積回路の製造方法。

【請求項 11】 基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、

半導体基板に前記請求項 1、2、3、4、5、6 又は 7 記載の CMOS 型基本セルを複数配置し、

各CMOS型基本セルの配線パターンと、1つの配線レイヤとを使用して、制御信号線を有する論理回路を実現する

ことを特徴とする半導体集積回路の製造方法。

【請求項12】 基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、

半導体基板に前記請求項1、2、3、4、5、6又は7記載のCMOS型基本セルを複数配置し、

各CMOS型基本セルの配線パターンと、1つの配線レイヤとを使用して、メモリー用の論理回路を実現する

ことを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CMOS型ゲートアレイの基本セル及びこの基本セルを使用した半導体集積回路の製造方法に関するものである。

【0002】

【従来の技術】

近年、半導体集積回路装置は、プロセス微細化に伴い、高集積化及び高性能化が益々進む傾向にあり、それに応じて開発コストと開発期間は増加の一途をたどっている。そのような状況の中で、ゲートアレイは、CAD (Computer-Aided Design) 等を用いて配線パターンの変更のみで設計できることから、製品の開発期間の短縮やコスト削減、又は多品種少量生産に適した半導体集積回路の製造方法として、幅広い用途がある。

【0003】

ゲートアレイの製造方法としては、予め決められたレイアウトパターンを有する基本セルと、この基本セルを1つ又は複数使用した論理セルの配線パターンとが予め用意された状態で、前記基本セルの自動配置と、その自動配置された基本セル間同士の自動配線をCAD等を用いて行われる方法が一般的である。

【0004】

図 2 7 は、4 個のトランジスタで構成した従来の CMOS 型基本セルの構成図を示している。同図において、1 は CMOS 型基本セルである。この基本セル 1 において、第 1 の P チャンネルトランジスタ TP 1 は、平面でカタカナの「コ」の字形状に配置したゲート電極 2 A と、前記ゲート電極 2 A の両側に設けられた不純物拡散層 3 A 及び 4 A とを有している。前記不純物拡散層 3 A 及び 4 A はソースやドレインになる。第 2 の P チャンネルトランジスタ TP 2 は、前記トランジスタ TP 1 のゲート電極 2 A と逆向きに配置されたゲート電極 5 A と、前記ゲート電極 5 A の片側に設けられた不純物拡散層 6 A と、トランジスタ TP 1 と共有する前記不純物拡散層 4 A とを有している。また、第 1 の N チャンネルトランジスタ TN 1 は、平面でカタカナの「コ」字形状に配置したゲート電極 2 B と、前記ゲート電極 2 B の両側に設けられた不純物拡散層 3 B 及び 4 B とを有している。前記不純物拡散層 3 B 及び 4 B はソースやドレインになる。更に、第 2 の N チャンネルトランジスタ TN 2 は、前記トランジスタ TN 1 のゲート電極 2 B と逆向きに配置されたゲート電極 5 B と、前記ゲート電極 5 B の片側に設けられた不純物拡散層 6 B と、トランジスタ TN 1 と共有する前記不純物拡散層 4 B とを有している。加えて、7 及び 8 は第 1 配線層に形成されたグローバルな電源パターン及び GND（グランド）パターンである。

【 0 0 0 5 】

図 2 7 において、前記基本セル 1 内のドットラインは配線グリッドである。ここで、配線グリッドとは、論理セルの配線パターンが配線トラックとして配置される場所をいう。配線グリッドは、前記基本セル 1 の前記ゲート電極 2 A、2 B、5 A、5 B、前記不純物拡散層 3 A、3 B、4 A、4 B、6 A、6 B、前記電源パターン 7、及び前記 GND パターン 8 を横切るように配置されており、その間隔は、半導体製造プロセスのルールで決められたトランジスタの配置ピッチ、又は配線のピッチにより決められる。

【 0 0 0 6 】

配線は、論理セルの設計段階では、配線グリッドにのるよう任意に決められ、論理セルを複数用いた半導体集積回路の設計段階では、CAD システム等により配線グリッドにのるよう配置される。ここで、例えば 2 層の配線層を用いて

配線される場合には、第 2 層目の配線ピッチは、第 1 層目の配線との接続を容易にするために、第 1 層目の配線ピッチと同一に設定されるのが一般的である。第 3 層目以上を使用して配線する場合の配線ピッチも同様である。尚、図 2 7 では、基本セル 1 の X 方向の配線トラックは 1 1 本であり、Y 方向の配線トラックは 3 本である。

【0 0 0 7】

【発明が解決しようとする課題】

しかしながら、前記従来の基本セルでは、次の問題点がある。即ち、例えば、図 2 (a) に示す D F F (D 型フリップフロップ) の回路例を、前記図 2 7 に示す基本セルを使用して構成する場合、第 1 層目の配線と第 2 層目の配線とを論理セル用の配線として使用すると、図 2 8 に示すレイアウト構成となる。この場合に使用するレイヤは、第 1 層目の配線レイヤと第 2 層目の配線レイヤとに加えて、第 1 層目の配線レイヤを第 2 層目の配線レイヤに繋ぐ V I A のレイヤとの合計 3 レイヤが必要である。

【0 0 0 8】

また、例えば特開平 1 - 2 7 0 3 2 9 号公報で示されるように、第 1 層目の配線は論理セル用配線として使用せずに固定配線とし、第 2 層目の配線のみを論理セル用配線として使用した場合には、図 2 9 に示すレイアウト構成となる。この場合に使用するレイヤは、配線が込み合うために、第 2 層目の配線レイヤに加えて上位の第 3 層目の配線レイヤと、第 2 層目の配線レイヤを第 3 層目の配線レイヤに繋ぐ V I A のレイヤとが必要になり、やはり合計 3 レイヤが必要である。

【0 0 0 9】

尚、ゲート電極や不純物拡散層と第 1 層目の配線とを接続するための V I A に関しては、前記図 2 7 に示す基本セルや前記図 2 8 の回路例は勿論のこと、以下に言及する例を含めて当然必要となるものであるが、本発明の本質には直接関係しないので、その説明及び図示は省略する。

【0 0 1 0】

前記基本セルを用いて他の論理セルを構成したレイアウト図を以下に示す。図 3 0 は、図 4 (a) に示したバッファ回路例を前記図 2 7 に示した基本セルを使

用して構成する場合に、第 1 層目の配線と第 2 層目の配線とを論理セル用配線として使用したときのレイアウト構成を示す。また、第 1 層目の配線は固定配線とし、第 2 層目の配線のみを論理セル用配線として使用した場合には、図 3 1 に示すレイアウト構成となる。

【 0 0 1 1 】

更に、図 3 2 は、図 6 (a) に示した O R N A N D 回路を、前記図 2 7 に示した基本セルを使用して構成する場合に、第 1 層目の配線と第 2 層目の配線とを論理セル用配線として使用したときのレイアウト構成を示す。また、第 1 層目の配線は固定配線として、第 2 層目の配線のみを論理セル用配線として使用した場合には、図 3 3 に示すレイアウト構成となる。

【 0 0 1 2 】

加えて、図 3 4 は、図 8 (a) に示すセレクト回路を前記図 2 7 に示した基本セルを使用して構成する場合に、第 1 層目の配線と第 2 層目の配線とを論理セル用配線として使用したときのレイアウト構成である。また、第 1 層目の配線は固定配線として、第 2 層目の配線のみを論理セル用配線として使用した場合には、図 3 5 に示すレイアウト構成となる。

【 0 0 1 3 】

更に加えて、図 3 6 は、図 2 5 (a) に示す S R A M 回路を前記図 2 7 に示す基本セルを使用して構成する場合に、第 1 層目の配線と第 2 層目の配線とを論理セル用配線として使用したときのレイアウト構成である。また、第 1 層目の配線は固定配線として、第 2 層目の配線のみを論理セル用配線として使用した場合には、図 3 7 に示すレイアウト構成となる。

【 0 0 1 4 】

以上述べたように、前記図 2 7 に示す従来の基本セルを使用して、D F F のようにクロック信号線を有する論理回路を構成する場合や、バッファ回路のようにトランジスタを平行に接続した論理回路を構成する場合や、O R N A N D 回路のような複合論理回路を構成する場合や、セレクト回路のような制御信号線を有する論理回路を構成する場合や S R A M などのメモリー用の論理回路を構成する場合には、何れの場合においても、配線レイヤだけで 2 レイヤは必要となる。

その結果、上位の配線用の配線トラックが消費されて、半導体集積回路の設計時における配線混雑度が助長され、その結果、ゲートアレイのゲート使用率が低下して、半導体集積回路の集積度が低下するという課題がある。更に、論理の変更や配線の変更が生じた場合には、修正レイヤが、2つの配線レイヤとビアのレイヤとの合計3レイヤが必要となることは、ゲートアレイの最大の長所である製品の開発期間の短縮やコスト削減に対する課題となる。

【0015】

本発明は、前記従来例の問題点に鑑みて創作されたものであり、その目的は、基本セルの面積の拡大を招くことなく、配線レイヤとしては1レイヤのみで所望の論理回路を実現できるCMOS型基本セル、及びそのCMOS型基本セルを使用した半導体集積回路の製造方法を提供することにある。

【0016】

【課題を解決するための手段】

前記目的を達成するため、本発明では、CMOS型基本セルにおいて、複数個の基本セル間の配線のために使用する配線レイヤとは別のレイヤに、予め、配線パターンを組み込んでおき、基本セルを複数用いた半導体集積回路の製造に際しては、前記配線パターンをも利用して各基本セル間の配線を行うようにする。

【0017】

具体的に、請求項1記載の発明のCMOS型基本セルは、半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と垂直な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域とは独立して存在する配線パターンを有することを特徴とする。

【0018】

請求項2記載の発明のCMOS型基本セルは、半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記

Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立して存在する配線パターンを有することを特徴とする。

【 0 0 1 9 】

請求項 3 記載の発明のCMOS型基本セルは、半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立すると共に、他の基本セルが隣接したときこの基本セルの配線パターンと接続される配線パターンを有することを特徴とする。

【 0 0 2 0 】

請求項 4 記載の発明のCMOS型基本セルは、半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と垂直な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域とは独立して存在する配線パターンと、前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立して存在する他の配線パターンとを有することを特徴とする。

【 0 0 2 1 】

請求項 5 記載の発明のCMOS型基本セルは、半導体基板上において絶縁膜で互いに分離されたNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域を有するCMOS型基本セルにおいて、前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立して存在する配線パターンと、前記Nチャンネルトランジスタ領域と前記Pチャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記Nチャンネルトランジスタ領域及びPチャンネルトランジスタ領域セルとは独立すると共に、

他の基本セルが隣接したときこの基本セルの配線パターンと接続される他の配線パターンとを有することを特徴とする。

【 0 0 2 2 】

請求項 6 記載の発明の C M O S 型基本セルは、半導体基板上において絶縁膜で互いに分離された N チャンネルトランジスタ領域及び P チャンネルトランジスタ領域を有する C M O S 型基本セルにおいて、前記 N チャンネルトランジスタ領域と前記 P チャンネルトランジスタ領域との境界線と垂直な方向に延び、且つ前記 N チャンネルトランジスタ領域及び P チャンネルトランジスタ領域セルとは独立して存在する配線パターンと、前記 N チャンネルトランジスタ領域と前記 P チャンネルトランジスタ領域との境界線と水平な方向に延び、且つ前記 N チャンネルトランジスタ領域及び P チャンネルトランジスタ領域セルとは独立すると共に、他の基本セルが隣接したときこの基本セルの配線パターンと接続される他の配線パターンとを有することを特徴とする。

【 0 0 2 3 】

請求項 7 記載の発明は、前記請求項 1、2、3、4、5 又は 6 記載の C M O S 型基本セルにおいて、電源配線及びグランド配線が配線された固定配線領域を持ち、前記配線パターンは、前記固定配線領域に設けられることを特徴とする。

【 0 0 2 4 】

請求項 8 記載の発明は、基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、半導体基板に前記請求項 1、2、3、4、5、6 又は 7 記載の C M O S 型基本セルを複数配置し、各 C M O S 型基本セルの配線パターンと、1つの配線レイヤとを使用して、クロック信号線を有する論理回路を実現することを特徴とする。

【 0 0 2 5 】

請求項 9 記載の発明は、基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、半導体基板に前記請求項 1、2、3、4、5、6 又は 7 記載の C M O S 型基本セルを複数配置し、各 C M O S 型基本セルの配線パターンと、1つの配線レイヤとを使用して、トランジスタを平行に接続した部分を有する論理回路を実現することを特徴としてい

る。

【 0 0 2 6 】

請求項 1 0 記載の発明は、基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、半導体基板に前記請求項 1、2、3、4、5、6 又は 7 記載の CMOS 型基本セルを複数配置し、各 CMOS 型基本セルの配線パターンと、1 つの配線レイヤとを使用して、複合論理回路を実現することを特徴とする。

【 0 0 2 7 】

請求項 1 1 記載の発明は、基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、半導体基板に前記請求項 1、2、3、4、5、6 又は 7 記載の CMOS 型基本セルを複数配置し、各 CMOS 型基本セルの配線パターンと、1 つの配線レイヤとを使用して、制御信号線を有する論理回路を実現することを特徴とする。

【 0 0 2 8 】

請求項 1 2 記載の発明は、基本セルを複数個配列して半導体集積回路を構成するゲートアレイ方式の半導体集積回路の製造方法であって、半導体基板に前記請求項 1、2、3、4、5、6 又は 7 記載の CMOS 型基本セルを複数配置し、各 CMOS 型基本セルの配線パターンと、1 つの配線レイヤとを使用して、メモリー用の論理回路を実現することを特徴とする。

【 0 0 2 9 】

以上により、請求項 1 ～請求項 1 2 記載の発明では、複数個の CMOS 型基本セルを使用してゲートアレイ方式で半導体集積回路を製造する際には、各 CMOS 型基本セルの所定レイヤに予め組み込んでおいた配線パターンを、各基本セル間の配線の一部として利用するので、複雑な構成の論理回路であっても、配線レイヤとしては 1 つの配線レイヤのみを使用して製造、実現することができる。従って、半導体集積回路の設計時における配線混雑度が緩和され、ゲートアレイのゲート使用率が高まって、半導体集積回路の集積度が向上することになる。

【 0 0 3 0 】

【発明の実施の形態】

次に、図 1 ～ 図 2 6 を参照しながら、本発明の実施の形態に係る CMOS 型基本セル及びこれを使用した半導体集積回路の製造方法について説明する。

【 0 0 3 1 】

（第 1 の実施の形態）

図 1（a）は、本発明の第 1 の実施の形態に係る CMOS 型基本セルの構成図、である。同基本セルは、請求項 1 に記載の基本セルの構成図を示している。同図（b）は同図（a）の基本セルの等価回路図を示す。尚、同図に示した符号 T P 1、T P 2、T N 1、T N 2、1、7、8、及び 2 A ～ 6 A、2 B ～ 6 B は図 2 7 の従来の基本セルと同様の構成であるので、同一符号を付して詳しい説明は省略する。

【 0 0 3 2 】

本実施の形態では、図 1（a）の基本セル 1 は、更に、N チャンネルトランジスタ領域と前記 P チャンネルトランジスタ領域の境界線と垂直な方向に延びる配線パターン 9 を有する。この配線パターン 9 は、前記 N 及び P チャンネルトランジスタ領域とは独立して存在する。尚、図 1（a）では配線パターン 9 は 1 つであるが、複数存在していても良い。また、同図（a）では、配線パターン 9 は、電源パターン 7 及び G N D パターン 8 が形成された第 1 層目の配線レイヤに形成されているが、半導体集積回路が多層配線構造を有する場合には、第 1 層目以外に形成されても問題ない。

【 0 0 3 3 】

図 2（a）は D F F の回路例を示し、同図（b）は同図（a）に示した D F F のシンボル図を示す、同図（c）は動作タイミング図を示す。尚、同図（b）において、1 0 0 は D A T A 入力端子、1 1 0 は C L K 入力端子、1 2 0 は反転 C L K 入力端子、2 0 0 は D A T A 出力端子、2 1 0 は反転 D A T A 出力端子である。図 3 は、前記図 1（a）の基本セル 1 を複数個半導体基板に配置して半導体集積回路（図 2（a）の D F F）を製造したレイアウト構造を示す。図 3 では、図 1（a）の基本セル 1 A ～ 1 F を X 方向に配置し、各基本セル 1 A ～ 1 F の配線パターン 9 を有効に活用することにより、図 2（a）に示す D F F 回路を、配線レイヤとしては第 2 層目のみで実現している。

【 0 0 3 4 】

図 4 (a) はバッファの回路例を示し、同図 (b) は前記バッファのシンボル図を示し、1 0 0 は DATA 入力端子、2 0 0 は DATA 出力端子、2 1 0 は反転 DATA 出力端子である。図 5 は、図 1 (a) の基本セル 1 を複数個半導体基板に配置して前記図 4 (a) のバッファを製造したレイアウト構造を示す。図 5 では、図 1 (a) の基本セル 1 A ~ 1 F を X 方向に配置して、前記配線パターン 9 を有効に活用することにより、図 4 (a) のバッファの回路を、配線レイヤとしては第 2 層目のみで実現している。

【 0 0 3 5 】

図 6 (a) は ORNAND の回路例を示し、同図 (b) は前記 ORNAND のシンボル図を示し、1 0 0 ~ 1 0 5 は DATA 入力端子、2 0 0 は DATA 出力端子である。図 7 は、図 1 (a) の基本セル 1 を複数個半導体基板に配置して前記図 6 (a) の ORNAND を製造したレイアウト構造を示す。図 7 では、図 1 (a) の基本セル 1 A ~ 1 C を X 方向に配置して、前記配線パターン 9 を有効に活用することにより、図 6 (a) の ORNAND の回路を第 2 層目の配線レイヤのみで実現している。

【 0 0 3 6 】

図 8 (a) はセレクトアの回路例を示し、同図 (b) は前記セレクトアのシンボル図を示し、1 0 0 は A 側の DATA 入力端子、1 0 1 は B 側の DATA 入力端子、1 3 0 はセレクト用制御信号入力端子、2 0 0 は DATA 出力端子である。図 9 は、図 1 (a) の基本セル 1 を複数個半導体基板に配置して前記図 8 (a) のセレクトアを製造したレイアウト構造を示す。図 9 では、図 1 (a) の基本セル 1 A ~ 1 C を X 方向に配置して、前記配線パターン 9 を有効に活用することにより、図 8 (a) のセレクトアの回路を第 2 層目の配線レイヤのみで実現している。

【 0 0 3 7 】

(第 2 の実施の形態)

図 1 0 は、本発明の第 2 の実施の形態に係る基本セルの構成図を示す。同図の基本セルは、請求項 2 に記載の基本セルの構成図を示している。この基本セルの回路図は前記図 1 (b) と同じである。また、図 1 0 において、TP 1、TP 2

、TN1、TN2、1、7、8及び2A～6A、2B～6Bは図27の従来の基本セルと同様の構成であるので、同一符号を付して詳しい説明は省略する。

【0038】

本実施の形態では、基本セル1において、更に、Nチャンネルトランジスタ領域とPチャンネルトランジスタ領域の境界線と水平な方向に延びる2つの配線パターン10を有する。この各配線パターン10は、前記N及びPチャンネルトランジスタ領域とは独立して存在する。尚、図10では2つの配線パターン10を有するが、1つであっても、又は3つ以上存在していても良い。また、図10では、配線パターン10は第1層目の配線レイヤで形成されているが、半導体集積回路が多層配線構造を有する場合には、第1層目以外の配線層に形成しても問題はないのは勿論である。

【0039】

図11(a)は、前記図10の基本セル1内の配線パターン10を、この基本セル1に隣接する他の基本セル1内の配線パターン10と接続する方法を示している。通常は図11(b)に示すように、必要に応じてグリッド上の2個のVIA20を用いて第2層目の配線30と接続する方法が一般的である。しかし、プロセス的に可能な場合には、同図(c)に示すように、信号線用の第1層目の配線パターン10が隣の基本セルと最小セパレーション間隔で近接するように配置された状態で、必要に応じて1個のVIA20を用いて第2層目の配線30と接続する方法も可能である。以下に示す実施の形態では、全て同図(b)の方法を使用した場合のみを示す。

【0040】

図12は、前記図2(a)に示すDFFの回路を製造したレイアウト構造を示す。図12のレイアウト構造は、前記図10の基本セル1を複数個半導体基板に配置してDFFの回路を製造したものであり、符号は図2(b)と同一符号を付したので、その詳しい説明は省略する。図12では、前記図10の基本セル1A～1FをX方向に配置して、各基本セル1の前記配線パターン10を有効に活用することにより、前記図2(a)に示すDFFの回路を第2層目の配線レイヤのみで実現できていることが判る。

【 0 0 4 1 】

図 1 3 は、前記図 4 (a) に示すバッファの回路を製造したレイアウト構造を示す。同図のレイアウト構造は、前記図 1 0 の基本セル 1 を複数個半導体基板に配置してバッファの回路を製造したものであり、符号は図 4 (b) と同一符号を付したので、その詳しい説明は省略する。図 1 3 では、前記図 1 0 の基本セル 1 A ~ 1 F を X 方向に配置して、各基本セル 1 の前記配線パターン 1 0 を有効に活用することにより、前記図 4 (a) に示すバッファの回路を第 2 層目の配線レイヤのみで実現できていることが判る。

【 0 0 4 2 】

図 1 4 は、前記図 6 (a) に示す ORNAND の回路を製造したレイアウト構造を示す。図 1 4 のレイアウト構造は、前記図 1 0 の基本セル 1 を複数個半導体基板に配置して ORNAND の回路を製造したものであり、符号は図 6 (b) と同一符号を付したので、その詳しい説明は省略する。図 1 4 では、前記図 1 0 の基本セル 1 A ~ 1 C を X 方向に配置して、各基本セル 1 の前記配線パターン 1 0 を有効に活用することにより、前記図 6 (a) に示す ORNAND の回路を第 2 層目の配線レイヤのみで実現できていることが判る。

【 0 0 4 3 】

図 1 5 は、前記図 8 (a) に示すセレクトアの回路を製造したレイアウト構造を示す。図 1 5 のレイアウト構造は、前記図 1 0 の基本セル 1 を複数個半導体基板に配置してセレクトアの回路を製造したものであり、符号は図 8 (b) と同一符号を付したので、その詳しい説明は省略する。図 1 5 では、前記図 1 0 の基本セル 1 A ~ 1 C を X 方向に配置して、各基本セル 1 の前記配線パターン 1 0 を有効に活用することにより、前記図 8 (a) に示すセレクトアの回路を第 2 層目の配線レイヤのみで実現できていることが判る。

【 0 0 4 4 】

(第 3 の実施の形態)

図 1 6 は、本発明の第 3 の実施の形態に係る CMOS 型基本セルの構成図を示す。同図の基本セルは、請求項 3 に記載の基本セルの構成図を示している。この基本セルの回路図は前記図 1 (b) と同じである。また、図 1 6 において、符号

TP1、TP2、TN1、TN2、1、7、8及び2A～6A、2B～6Bは図27の従来の基本セルと同様の構成であるので、同一符号を付して詳しい説明は省略する。

【0045】

本実施の形態では、基本セル1において、更に、Nチャンネルトランジスタ領域とPチャンネルトランジスタ領域との境界線と水平な方向に延びる2つの配線パターン11、12を有する。この両配線パターン11、12は、前記N及びPチャンネルトランジスタ領域とは独立するが、一方の配線パターン11は、基本セル1の右側端部にまで延びて、図中右側に他の基本セル（図示せず）が隣接したときにこの基本セルの配線パターン11と接続される。また、他方の配線パターン12は、基本セル1の左側端部にまで延びて、図中左側に他の基本セル（図示せず）が隣接したときにこの基本セルの配線パターン12と接続される。即ち、この基本セル1の左及び右に隣接する他の基本セルは、図示しないが、図16の基本セル1と同様の2つの配線パターン11、12を持つが、一方の配線パターン11は図16とは異なって図中左側端部にまで延び、他方の配線パターン12は図16とは異なって図中右側端部にまで延びる点が、図16の基本セル1と異なる。

【0046】

尚、図16では2つの配線パターン11、12を設けたが、1つ又は3つ以上設けても良いのは勿論である。また、図16では、2つの配線パターン11、12は第1層目の配線レイヤで形成されているが、半導体集積回路が多層配線構造を有する場合には、第1層目以外の配線層に形成しても問題ない。

【0047】

図17は、前記図2（a）に示すDFFの回路を製造したレイアウト構造を示す。図17のレイアウト構造は、前記図16の基本セル1を複数個半導体基板に配置してDFFの回路を製造したものであり、符号は図2（b）と同一符号を付したので、その詳しい説明は省略する。図17では、前記図16の基本セル1A～1FをX方向に配置して、各基本セル1の前記配線パターン11及び12を有効に活用することにより、前記図2（a）に示すDFFの回路を第2層目の配線

レイヤのみで実現できていることが判る。

【 0 0 4 8 】

図 1 8 は、前記図 4 (a) に示すバッファの回路を製造したレイアウト構造を示す。図 1 8 のレイアウト構造は、前記図 1 6 の基本セル 1 を複数個半導体基板に配置してバッファの回路を製造したものであり、符号は図 4 (b) と同一符号を付したので、その詳しい説明は省略する。図 1 8 では、前記図 1 6 の基本セル 1 A ~ 1 F を X 方向に配置して、各基本セル 1 の前記配線パターン 1 1 及び 1 2 を有効に活用することにより、前記図 4 (a) に示すバッファの回路を第 2 層目の配線レイヤのみで実現できていることが判る。

【 0 0 4 9 】

図 1 9 は、前記図 6 (a) に示す O R N A N D の回路を製造したレイアウト構造を示す。図 1 9 のレイアウト構造は、前記図 1 6 の基本セル 1 を複数個半導体基板に配置して O R N A N D の回路を製造したものであり、符号は図 6 (b) と同一符号を付したので、その詳しい説明は省略する。図 1 9 では、前記図 1 6 の基本セル 1 A ~ 1 C を X 方向に配置して、各基本セル 1 の前記配線パターン 1 1 及び 1 2 を有効に活用することにより、前記図 6 (a) に示す O R N A N D の回路を第 2 層目の配線レイヤのみで実現できていることが判る。

【 0 0 5 0 】

図 2 0 は、前記図 8 (a) に示すセレクトアの回路を製造したレイアウト構造を示す。図 2 0 のレイアウト構造は、前記図 1 6 の基本セル 1 を複数個半導体基板に配置してセレクトアの回路を製造したものであり、符号は図 8 (b) と同一符号を付したので、その詳しい説明は省略する。図 2 0 では、前記図 1 6 の基本セル 1 A ~ 1 C を X 方向に配置して、各基本セル 1 の前記配線パターン 1 1 及び 1 2 を有効に活用することにより、前記図 8 (a) に示すセレクトアの回路を第 2 層目の配線レイヤのみで実現できていることが判る。

【 0 0 5 1 】

(第 4 及び第 5 の実施の形態)

図 2 1 は、本発明の第 4 の実施の形態に係る C M O S 型基本セル 1 の構成図を示す。図 2 1 の基本セル 1 は、請求項 4 に記載の基本セルの構成図を示している

。回路図は図 1 (b) と同じであるため省略する。また、図 2 1 において、符号 TP 1、TP 2、TN 1、TN 2、1、7、8 及び 2 A ~ 6 A、2 B ~ 6 B は図 2 7 の従来の基本セルと同様の構成であるので、同一符号を付して詳しい説明は省略する。

【 0 0 5 2 】

図 2 1 の基本セル 1 は、図 1 (a) の基本セルと図 1 0 の基本セルとを組み合わせたものである。即ち、垂直方向に延びる配線パターン 9 を P チャンネルトランジスタ領域と N チャンネルトランジスタ領域との間に配置すると共に、水平方向に延びる配線パターン 1 0 を N チャンネルトランジスタ領域と GND パターン 8 との間に配置したことを特徴とする。

【 0 0 5 3 】

図 2 2 は、本発明の第 5 の実施の形態に係る CMOS 型基本セル 1 の構成図を示す。図 2 2 の基本セル 1 は請求項 5 に記載の基本セルの構成図を示している。図 2 2 の基本セル 1 は、図 1 0 の基本セルと図 1 6 の基本セルとを組み合わせたものである。即ち、独立して水平方向に延びる配線パターン 1 0 を P チャンネルトランジスタ領域と N チャンネルトランジスタ領域との間に配置すると共に、右端部にまで水平方向に延びる配線パターン 1 1 を N チャンネルトランジスタ領域と GND パターン 8 との間に配置したことを特徴とする。

【 0 0 5 4 】

このように、本発明では、図 1 (a) の基本セルと、図 1 0 の基本セルと、図 1 6 の基本セルとを組み合わせることが可能である。例えば、前記図 2 1 及び図 2 2 に示した基本セルの他、図 2 2 の基本セルにおいて垂直方向に延びる配線パターン 9 を、水平方向に延びる配線パターン 1 0 としても良いのは勿論である。更に、基本セルに図 1 (a) の配線パターン 9 と、図 1 0 の配線パターン 1 0 と、図 1 6 の配線パターン 1 1 又は / 及び 1 2 とを設けても良い。

【 0 0 5 5 】

また、本実施の形態では、図 2 1 及び図 2 2 の配線パターン 9、1 0、1 1 は各々 1 つであるが、2 つ以上設けても良いし、これらの配線パターン 9、1 0、1 1 は第 1 層目の配線レイヤに形成する以外に、第 2 層目以外の配線層に形成し

ても良いのは勿論である。

【 0 0 5 6 】

図 2 3 は、前記図 2 (a) に示す D F F の回路を製造したレイアウト構造を示す。図 2 3 のレイアウト構造は、前記図 2 1 の基本セル 1 を複数個半導体基板に配置して D F F の回路を製造したものであり、符号は図 2 (b) と同一符号を付したので、その詳しい説明は省略する。図 2 3 では、前記図 2 1 の基本セル 1 A ～ 1 F を X 方向に配置して、各基本セル 1 の前記配線パターン 9 及び 1 0 を有効に活用することにより、前記図 2 (a) に示す D F F の回路を第 2 層目の配線レイヤのみで実現できていることが判る。

【 0 0 5 7 】

図 2 4 は、前記図 8 (a) に示すセレクトアの回路を製造したレイアウト構造を示す。図 2 4 のレイアウト構造は、前記図 2 2 の基本セル 1 を複数個半導体基板に配置してセレクトアの回路を製造したものであり、符号は図 8 (b) と同一符号を付したので、その詳しい説明は省略する。図 2 4 では、前記図 2 2 の基本セル 1 A ～ 1 C を X 方向に配置して、各基本セル 1 の前記配線パターン 1 0 及び 1 1 を有効に活用することにより、前記図 8 (a) に示すセレクトアの回路を第 2 層目の配線レイヤのみで実現できていることが判る。

【 0 0 5 8 】

図 2 6 は、図 2 5 (a) に示す S R A M の回路を製造したレイアウト構造を示す。図 2 6 のレイアウト構造は、前記図 2 2 の基本セル 1 を複数個半導体基板に配置して S R A M の回路を製造したものであり、符号は図 2 5 (b) に示した S R A M のシンボル図に記載した B I T 線 3 0 0、反転 B I T 線 3 1 0、WORD 線 3 2 0 と同一符号を付した。図 2 6 では、前記図 2 2 の基本セル 1 A、1 B を X 方向に配置して、各基本セル 1 の配線パターン 1 0 及び 1 1 を有効に活用することにより、図 2 5 (a) に示す S R A M の回路を第 2 層目の配線レイヤのみで実現できていることが判る。

【 0 0 5 9 】

【発明の効果】

以上説明したように、請求項 1 ～請求項 1 2 記載の発明の C M O S 型基本セル

、及びこれを使用した半導体集積回路の製造方法によれば、従来では配線レイヤとして2レイヤ以上使用する必要があった複雑な論理回路を1つの配線レイヤのみを使用して製造、実現できるので、半導体集積回路の設計時における配線混雑度が緩和され、ゲートアレイのゲート使用率が高まって、半導体集積回路の集積度が向上する。しかも、低コスト化を実現できると共に、論理の変更や配線の変更が生じた場合であっても、修正レイヤが1つの配線レイヤで済むので、開発期間の短縮化及び開発費用の削減が可能である。

【図面の簡単な説明】

【図1】

(a) は本発明の第1の実施の形態のCMOS型基本セルのレイアウト図、(b) は同基本セルの等価回路図である。

【図2】

(a) は図1(a)の基本セルを用いて構成されるDFFの回路図、(b) は同DFFのシンボル図、(c) は同DFFの動作タイミング図である。

【図3】

図1(a)の基本セルを用いたDFFのレイアウト配線図である。

【図4】

(a) は図1(a)の基本セルを用いて構成されるバッファの回路図、(b) は同バッファのシンボル図である。

【図5】

図1(a)の基本セルを用いたバッファのレイアウト配線図である。

【図6】

(a) は図1(a)の基本セルを用いて構成されるORNANDの回路図、(b) は同ORNANDのシンボル図である。

【図7】

図1(a)の基本セルを用いたORNANDのレイアウト配線図である。

【図8】

(a) は図1(a)の基本セルを用いて構成されるセレクトアの回路図、(b) は同セレクトアのシンボル図である。

【図 9】

図 1 (a) の基本セルを用いたセレクトアのレイアウト配線図である。

【図 1 0】

本発明の第 2 の実施の形態の C M O S 型基本セルのレイアウト図である。

【図 1 1】

(a) は図 1 0 の基本セルとこれに隣接する基本セルとを用いたレイアウト配線図、(b) は 2 つの基本セルの配線パターン同士を 2 個の V I A を用いて接続する接続方法を示す図、(c) は配線パターン同士を 1 個の V I A を用いて接続する接続方法を示す図である。

【図 1 2】

図 1 0 の基本セルを用いた D F F のレイアウト配線図である。

【図 1 3】

図 1 0 の基本セルを用いたバッファのレイアウト配線図である。

【図 1 4】

図 1 0 の基本セルを用いた O R N A N D のレイアウト配線図である。

【図 1 5】

図 1 0 の基本セルを用いたセレクトアのレイアウト配線図である。

【図 1 6】

本発明の第 3 の実施の形態の C M O S 型基本セルのレイアウト図である。

【図 1 7】

図 1 6 の基本セルを用いた D F F のレイアウト配線図である。

【図 1 8】

図 1 6 の基本セルを用いたバッファのレイアウト配線図である。

【図 1 9】

図 1 6 の基本セルを用いた O R N A N D のレイアウト配線図である。

【図 2 0】

図 1 6 の基本セルを用いたセレクトアのレイアウト配線図である。

【図 2 1】

本発明の第 4 の実施の形態の C M O S 型基本セルのレイアウト図である。

【図 2 2】

本発明の第 5 の実施の形態の C M O S 型基本セルのレイアウト図である。

【図 2 3】

図 2 1 の基本セルを用いた D F F のレイアウト配線図である。

【図 2 4】

図 2 2 の基本セルを用いたセレクトアのレイアウト配線図である。

【図 2 5】

(a) は基本セルを用いて構成される S R A M の回路図、 (b) は同 S R A M のシンボル図である。

【図 2 6】

図 2 2 の基本セルを用いた S R A M のレイアウト配線図である。

【図 2 7】

従来の基本セルのレイアウトを示す図である。

【図 2 8】

従来の基本セルを用いた D F F のレイアウト配線図である。

【図 2 9】

従来の基本セルを用いた D F F の他のレイアウト配線図である。

【図 3 0】

従来の基本セルを用いたバッファのレイアウト配線図である。

【図 3 1】

従来の基本セルを用いたバッファの他のレイアウト配線図である。

【図 3 2】

従来の基本セルを用いた O R N A N D のレイアウト配線図である。

【図 3 3】

従来の基本セルを用いた O R N A N D の他のレイアウト配線図である。

【図 3 4】

従来の基本セルを用いたセレクトアのレイアウト配線図である。

【図 3 5】

従来の基本セルを用いたセレクトアの他のレイアウト配線図である。

【図 3 6】

従来の基本セルを用いた S R A M のレイアウト配線図である。

【図 3 7】

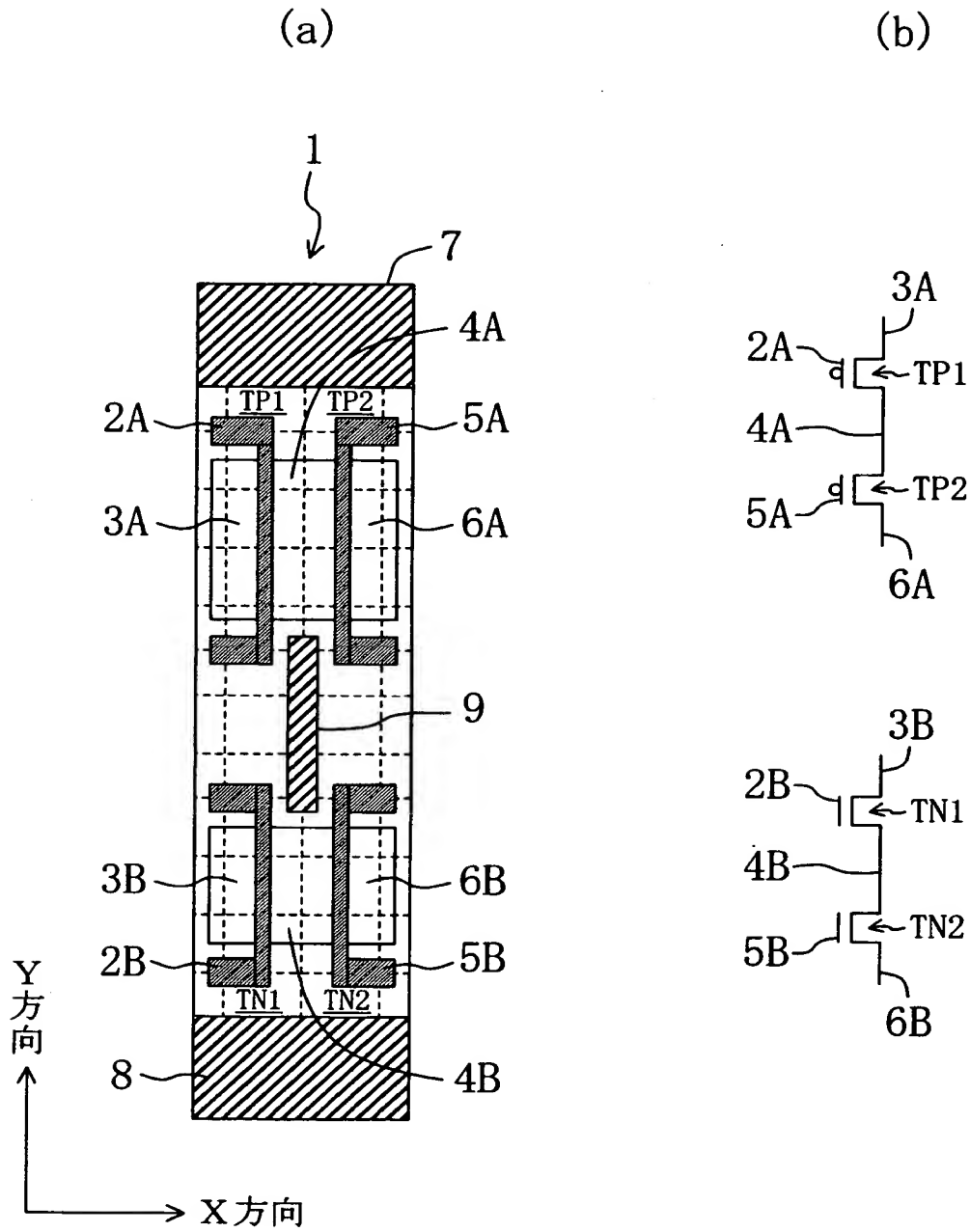
従来の基本セルを用いた S R A M の他のレイアウト配線図である。

【符号の説明】

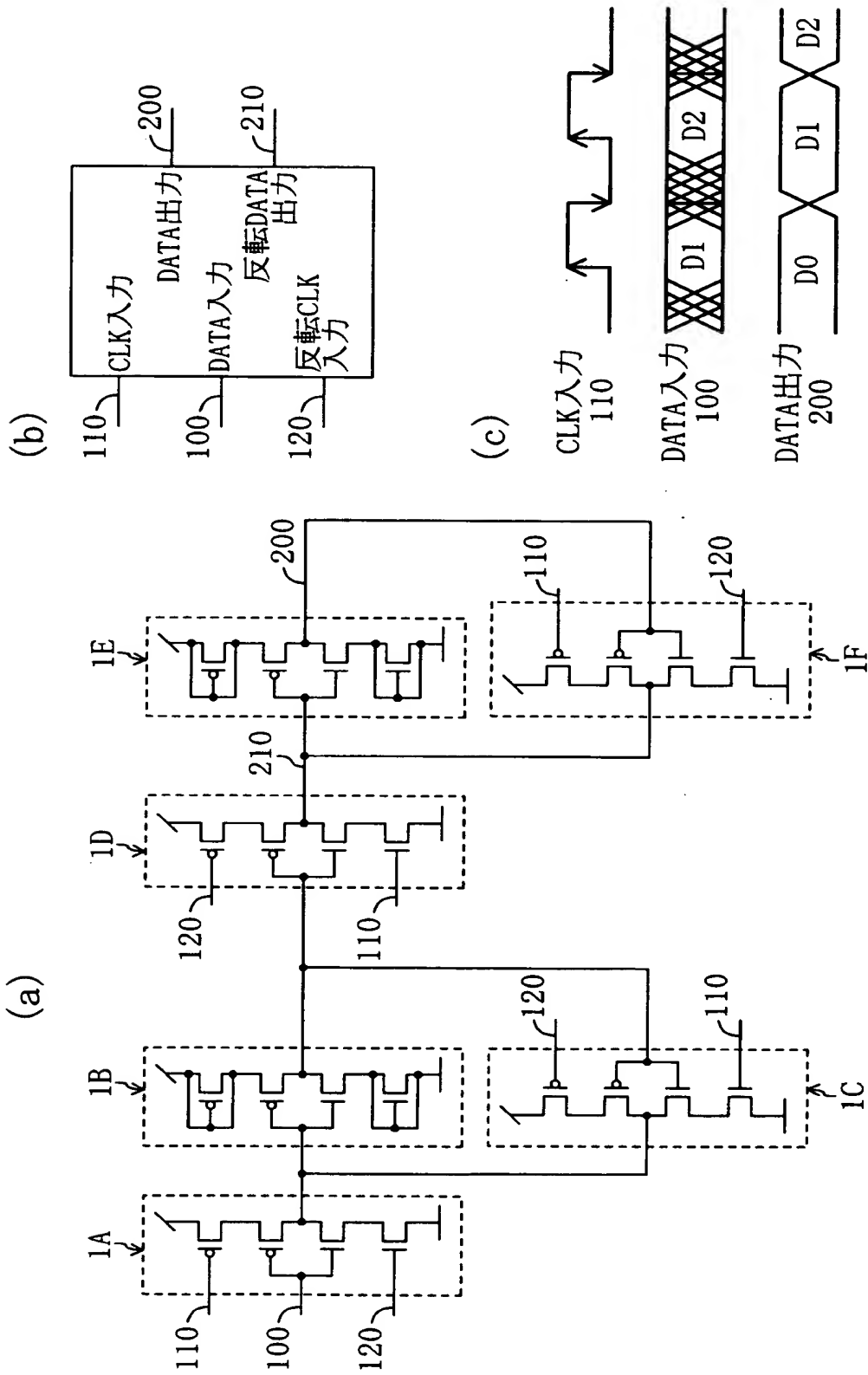
1	C M O S 型基本セル
1 A ~ 1 F	論理セルで使用する基本セル
T P 1	第 1 の P チャンネルトランジスタ
T P 2	第 2 の P チャンネルトランジスタ
T N 1	第 1 の N チャンネルトランジスタ
T N 2	第 2 の N チャンネルトランジスタ
2 A	T P 1 のゲート電極
2 B	T N 1 のゲート電極
3 A	T P 1 の片側の不純物拡散層
3 B	T N 1 の片側の不純物拡散層
4 A	T P 1、T P 2 共通の不純物拡散層
4 B	T N 1、T N 2 共通の不純物拡散層
5 A	T P 2 のゲート電極
5 B	T N 2 のゲート電極
6 A	T P 2 の片側の不純物拡散層
6 B	T N 2 の片側の不純物拡散層
7	電源パターン
8	G N D パターン
9、1 0、	
1 1、1 2	配線パターン
2 0	V I A
3 0	第 2 配線層の配線

【書類名】 図面

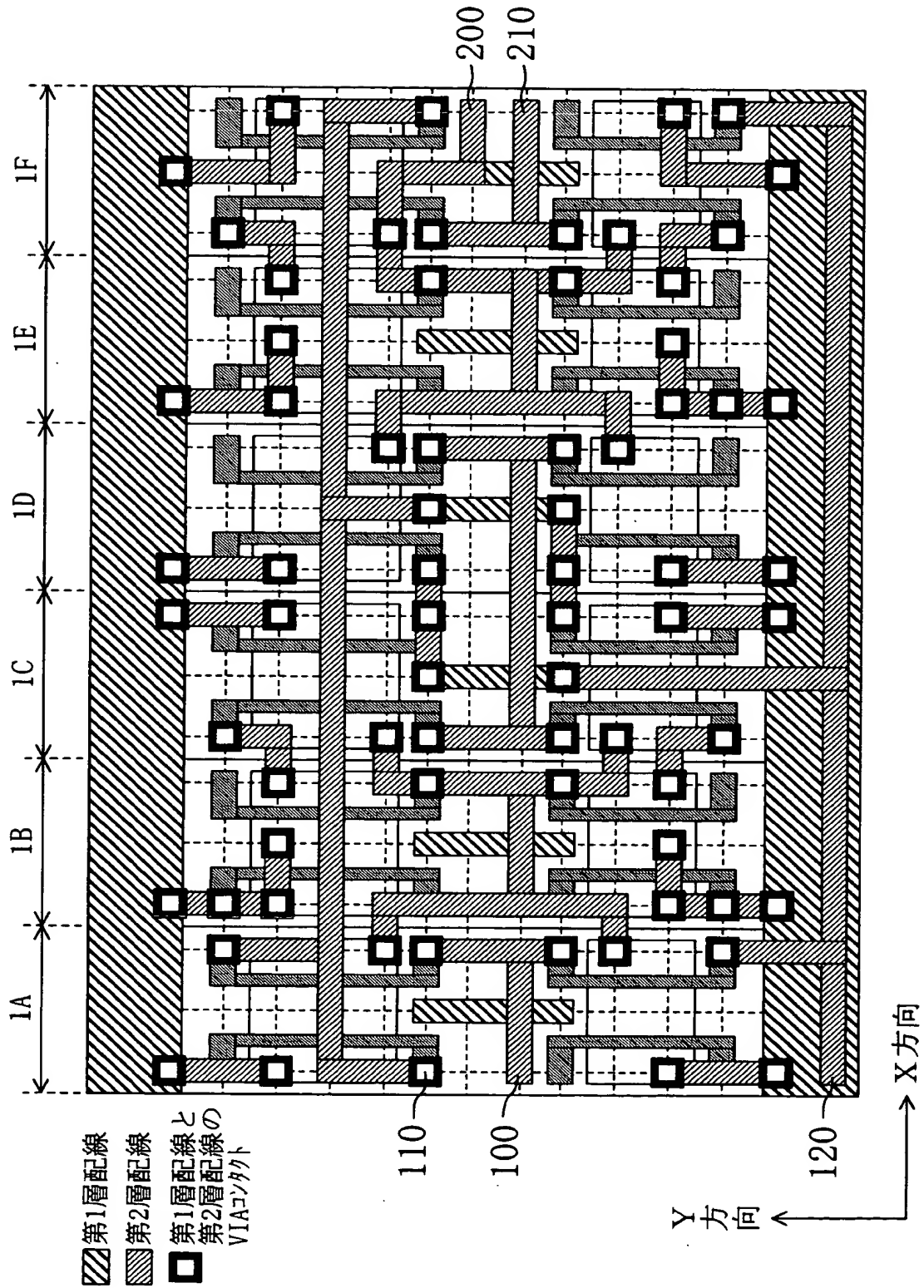
【図 1】



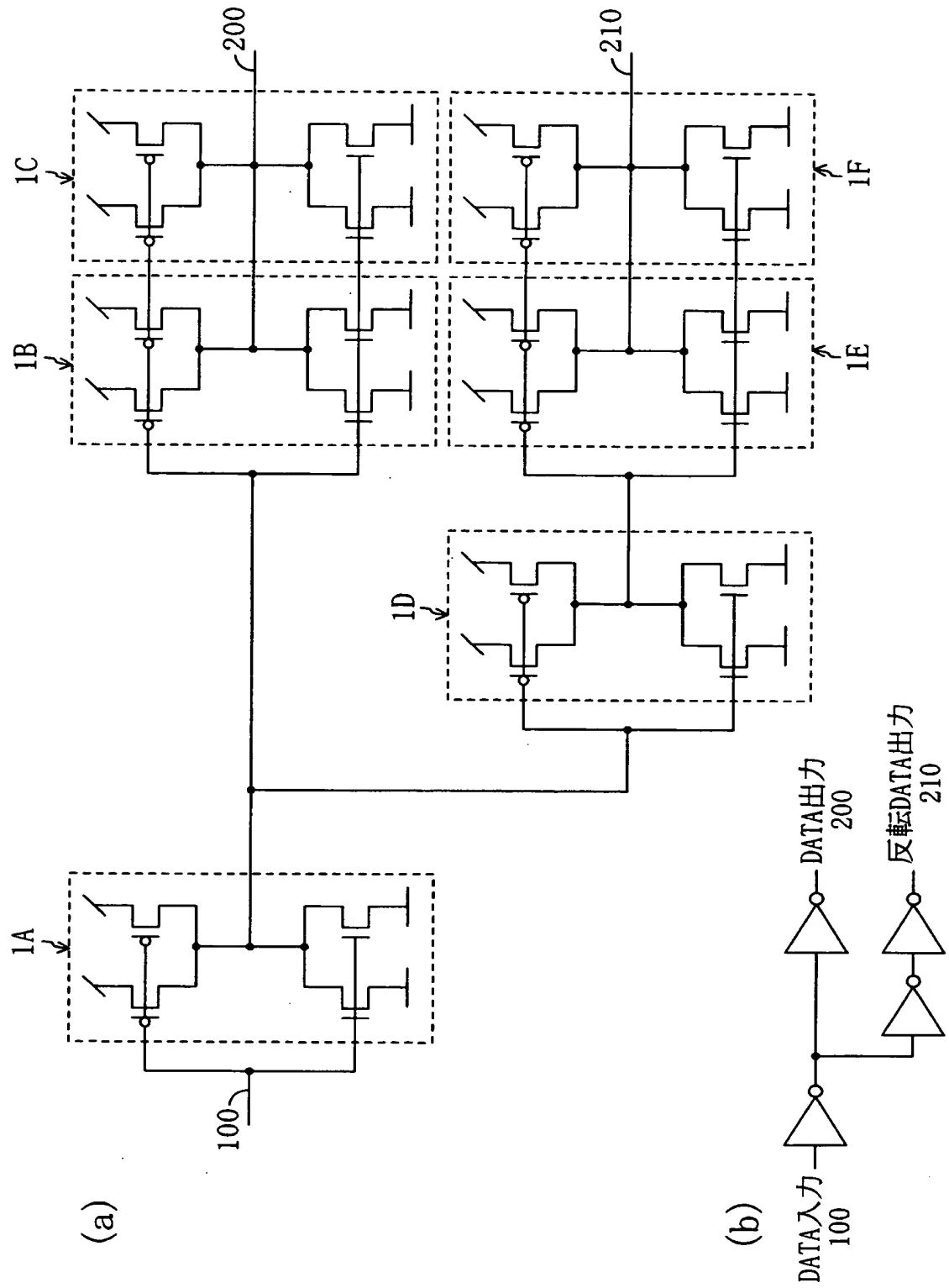
【図2】



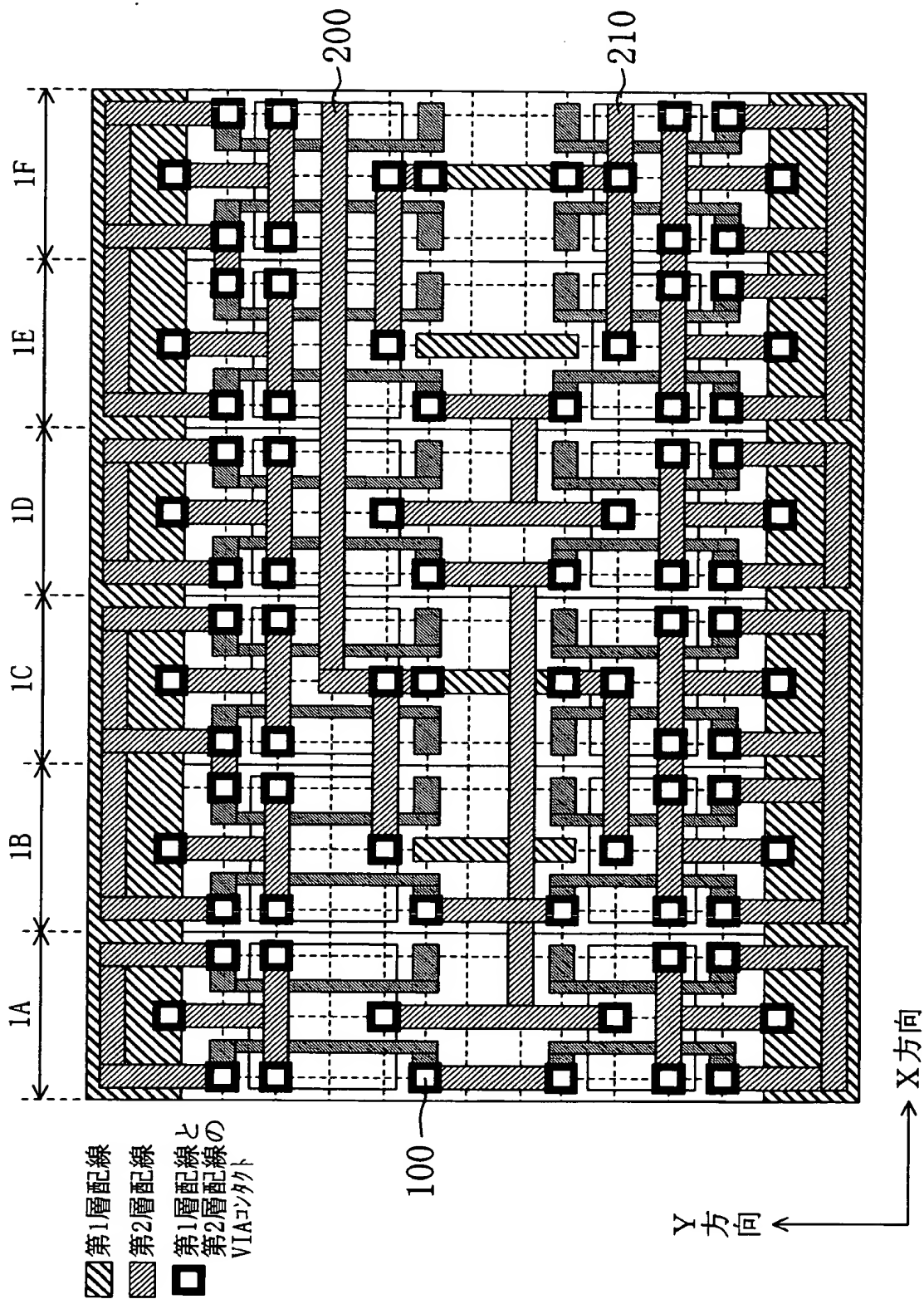
【図 3】



【図4】

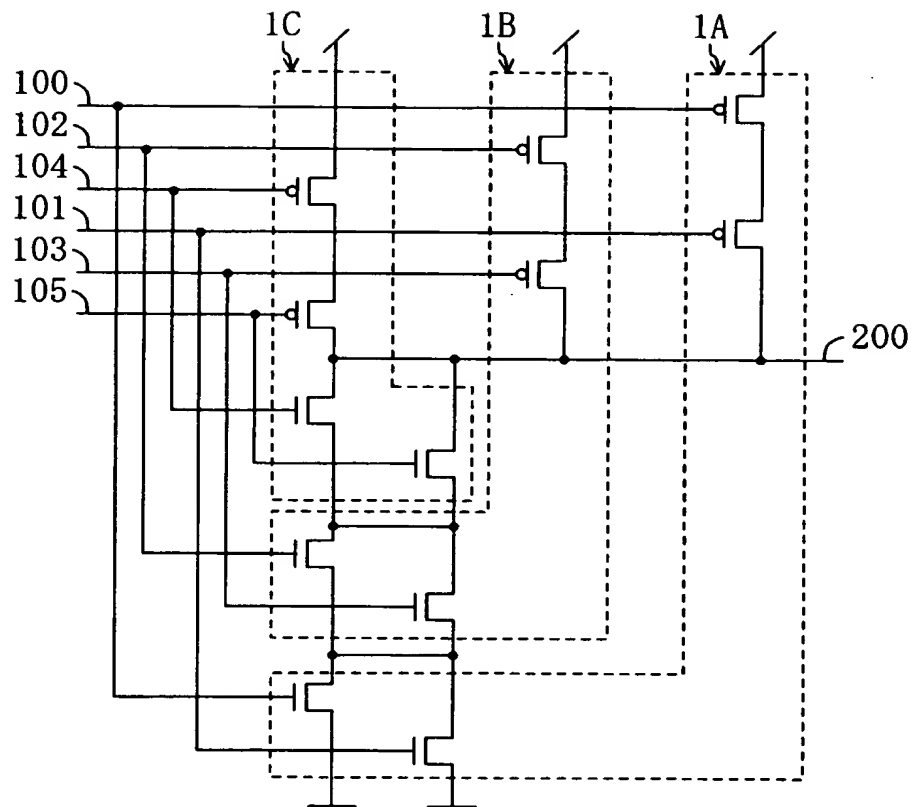


【図5】

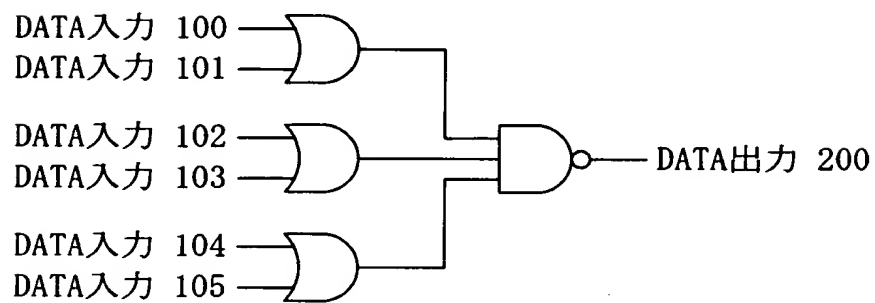


【図 6】

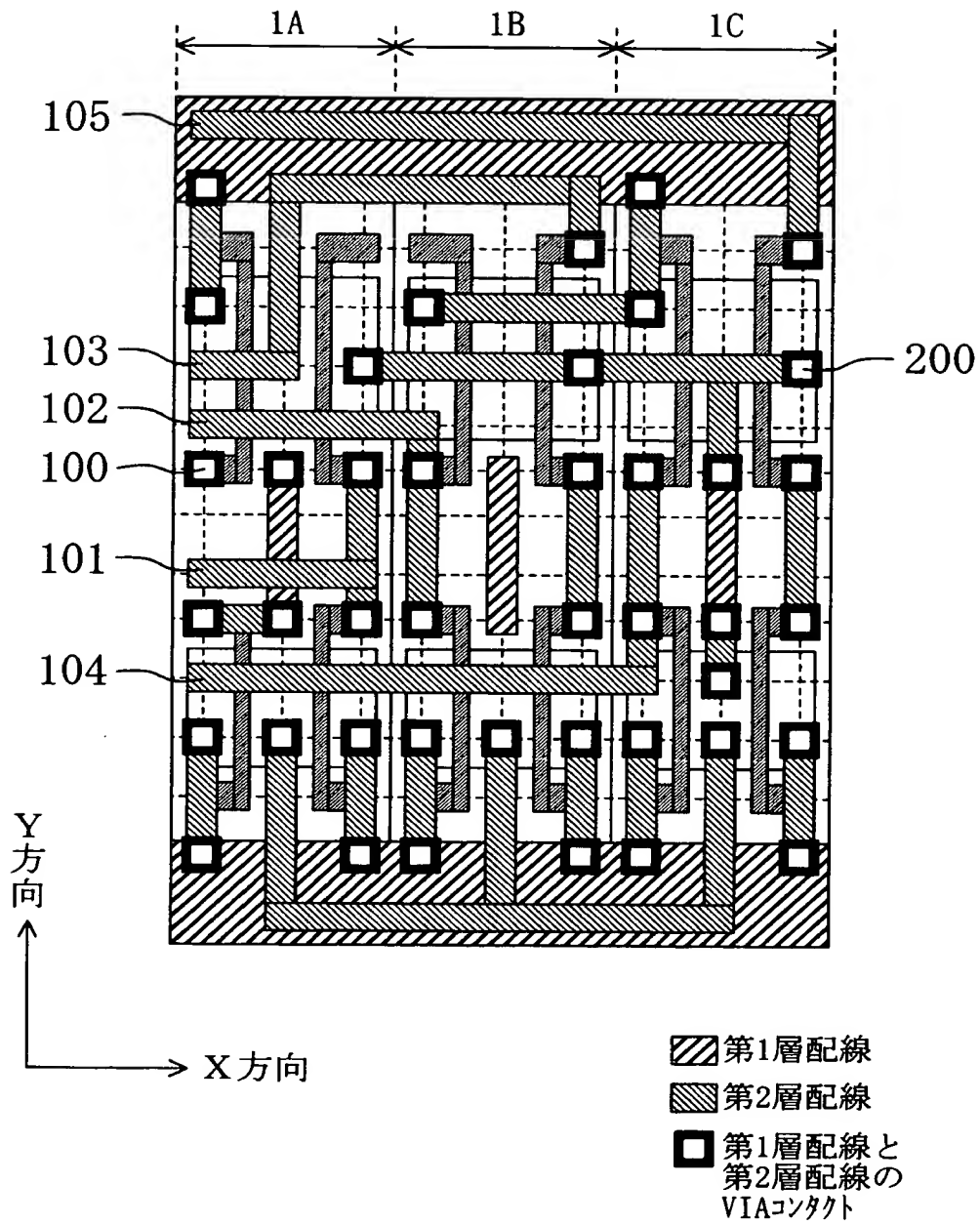
(a)



(b)

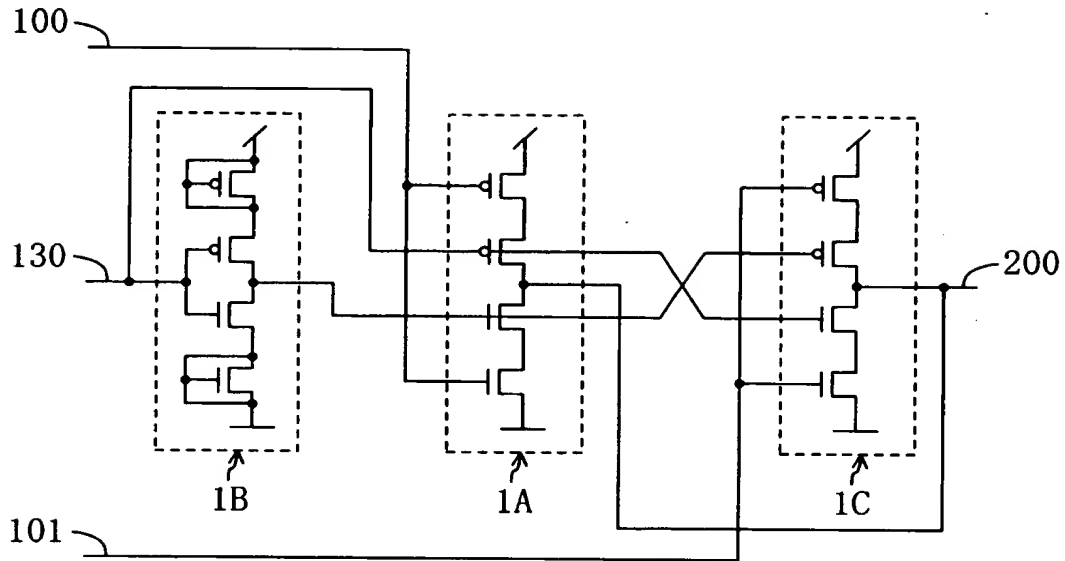


【図 7】

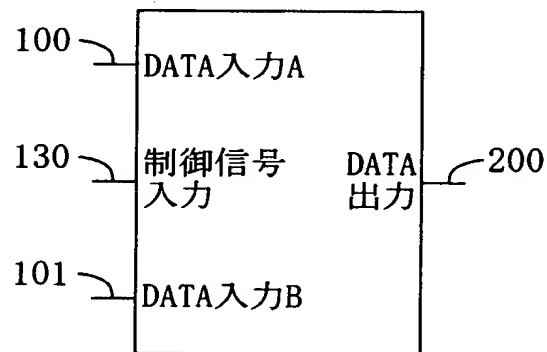


【図 8】

(a)

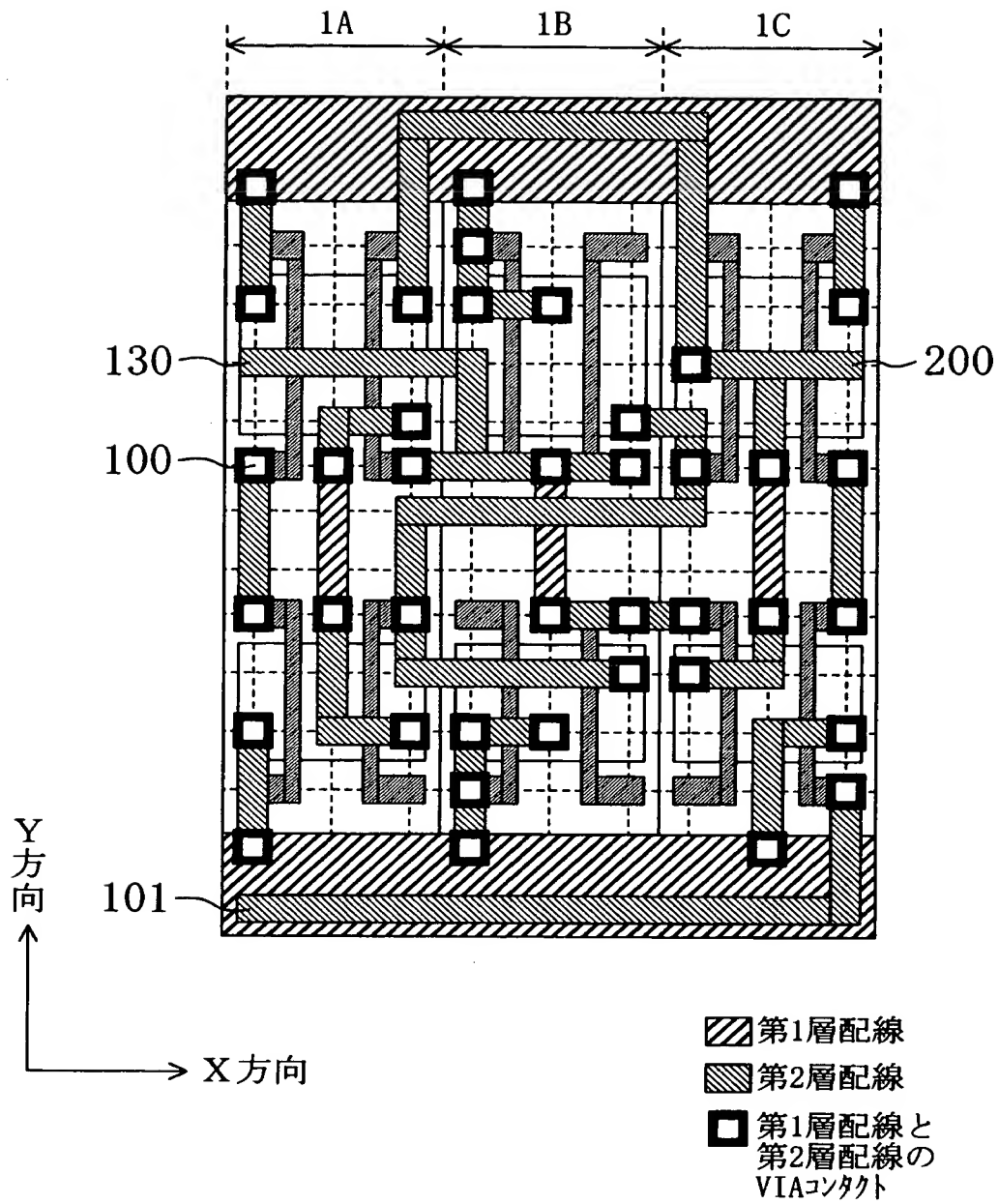


(b)

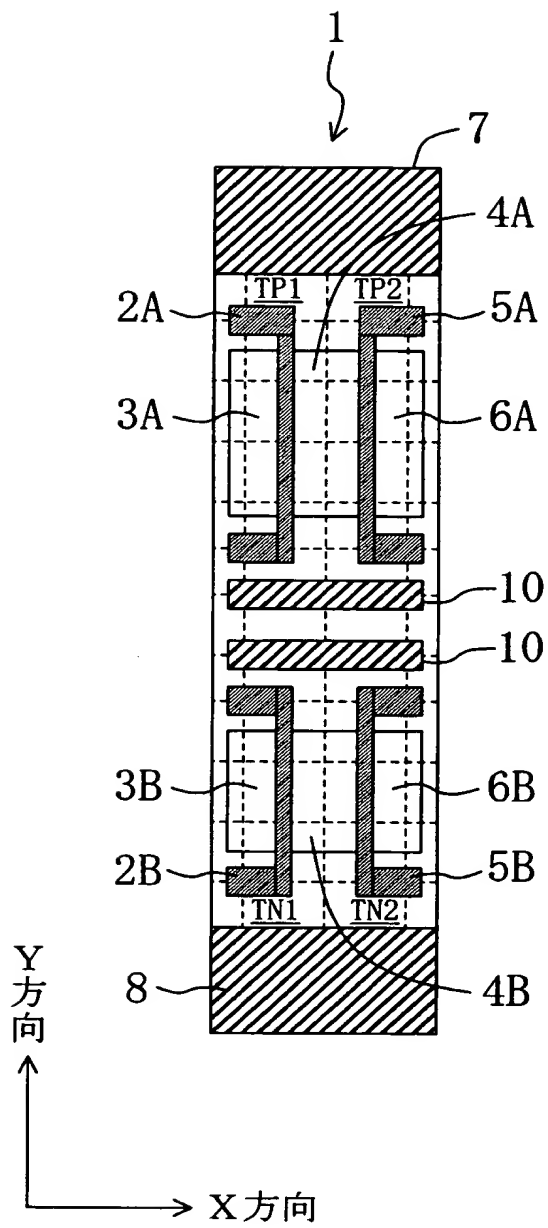


制御信号130がHのとき
DATA出力=DATA入力B
制御信号130がLのとき
DATA出力=DATA入力A

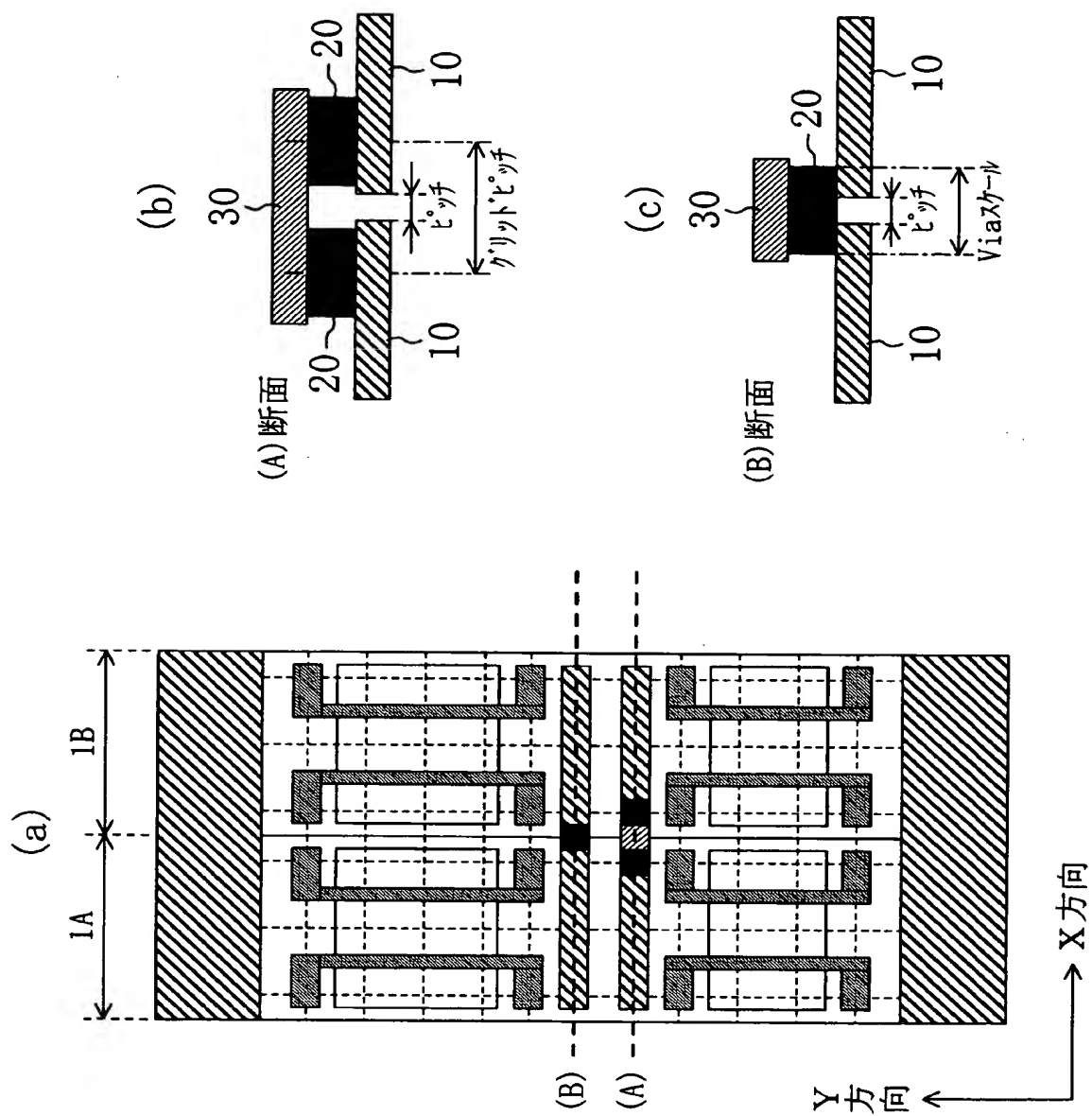
【図 9】



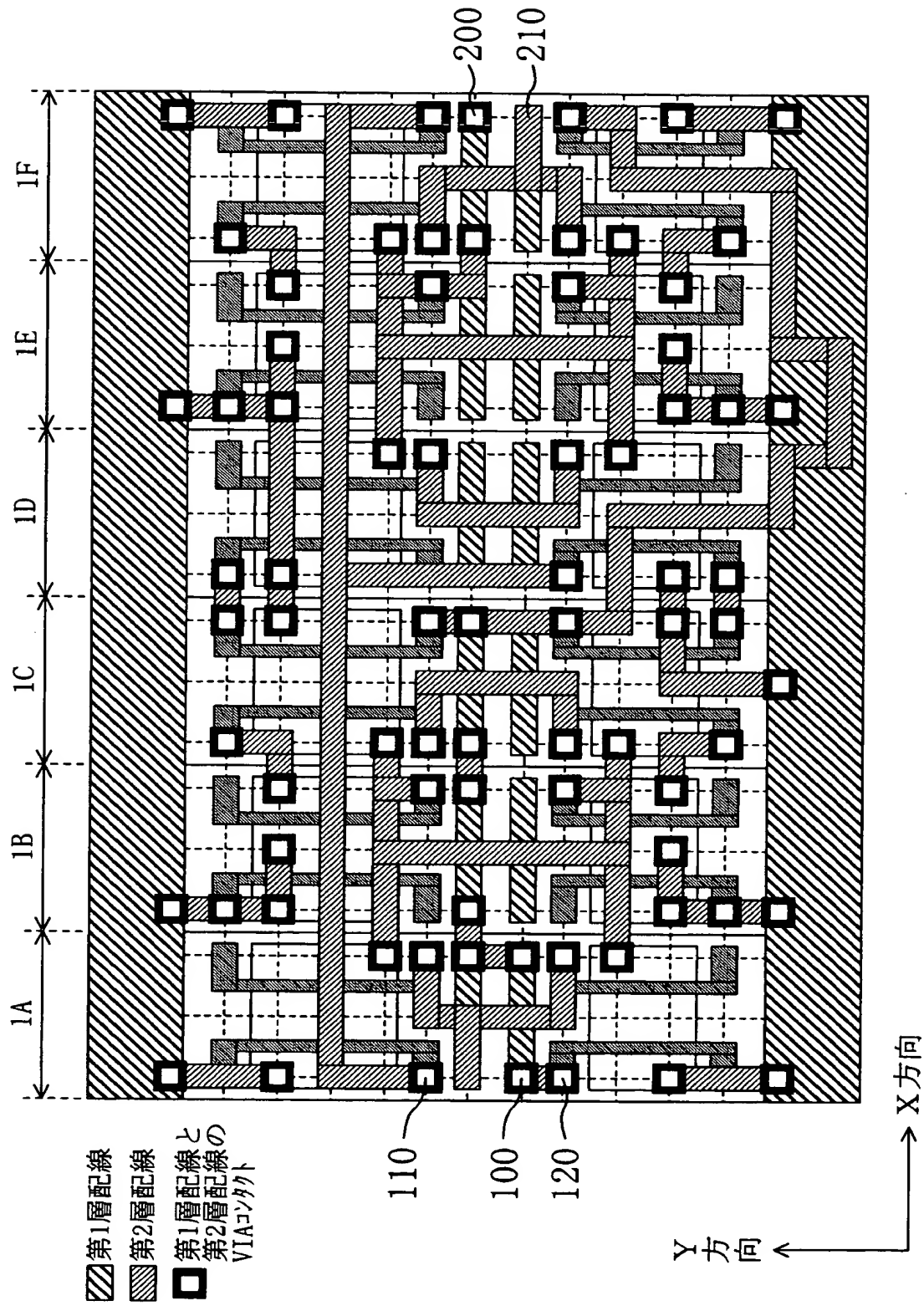
【図 10】



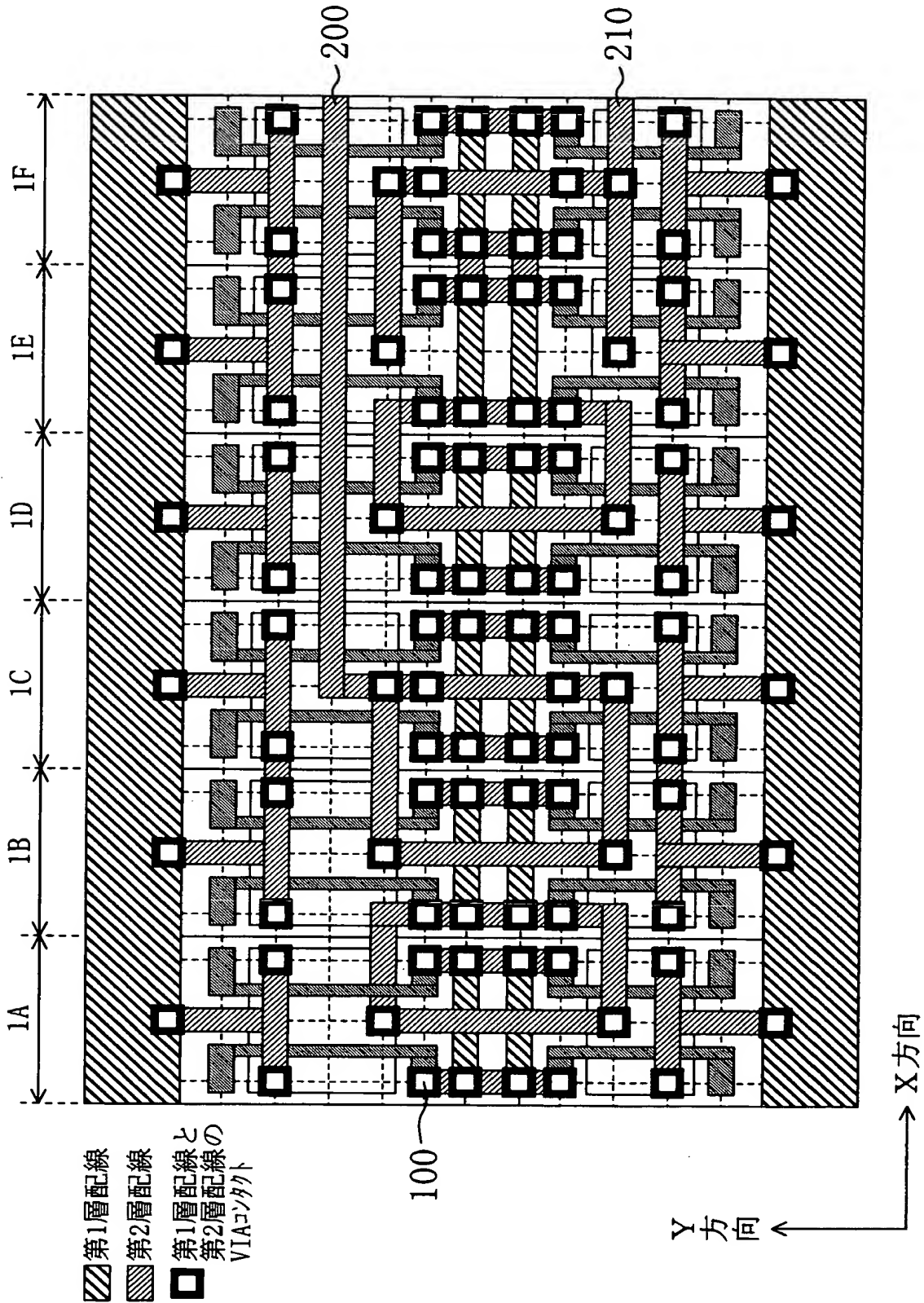
【図 1 1】



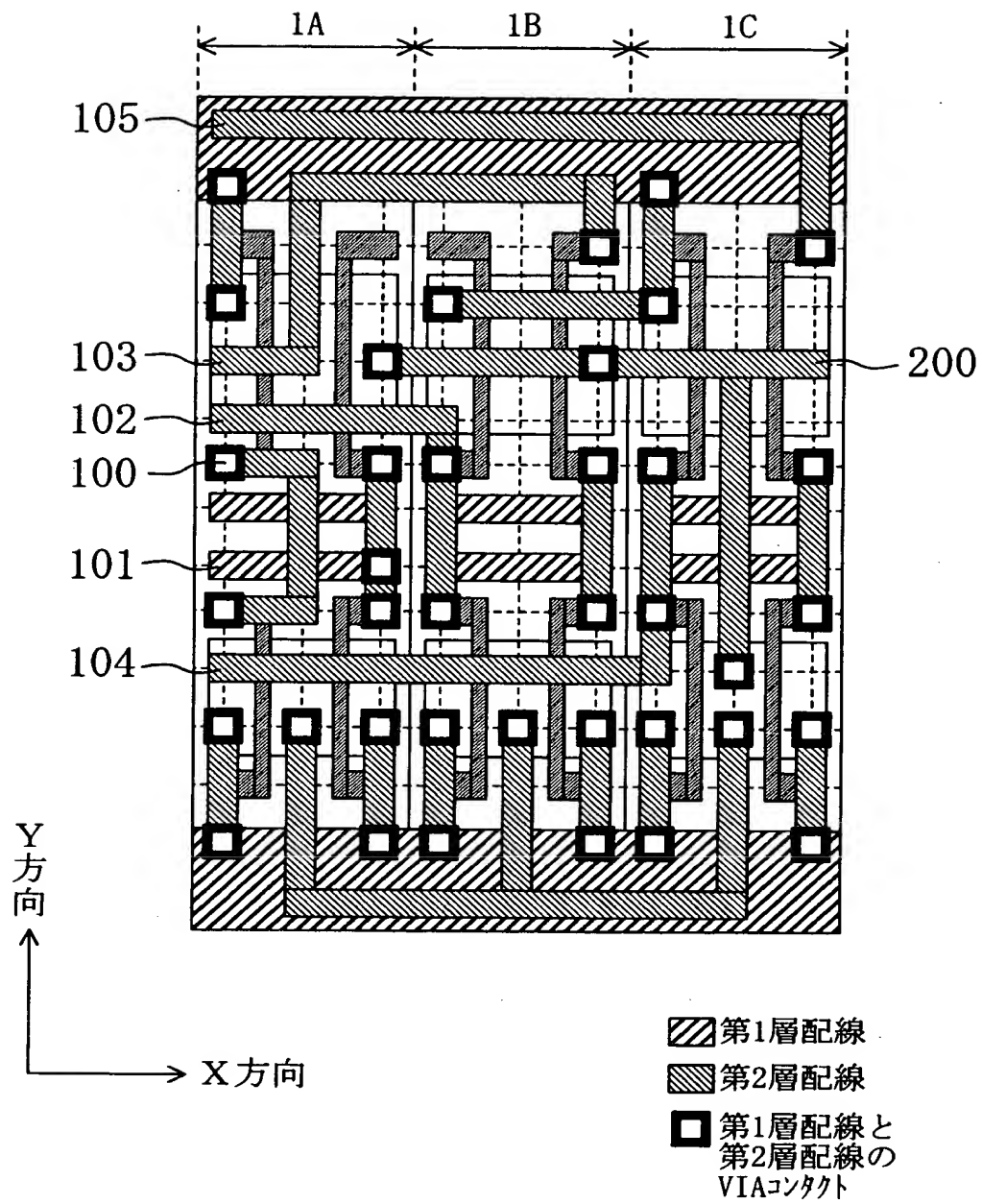
【図 12】



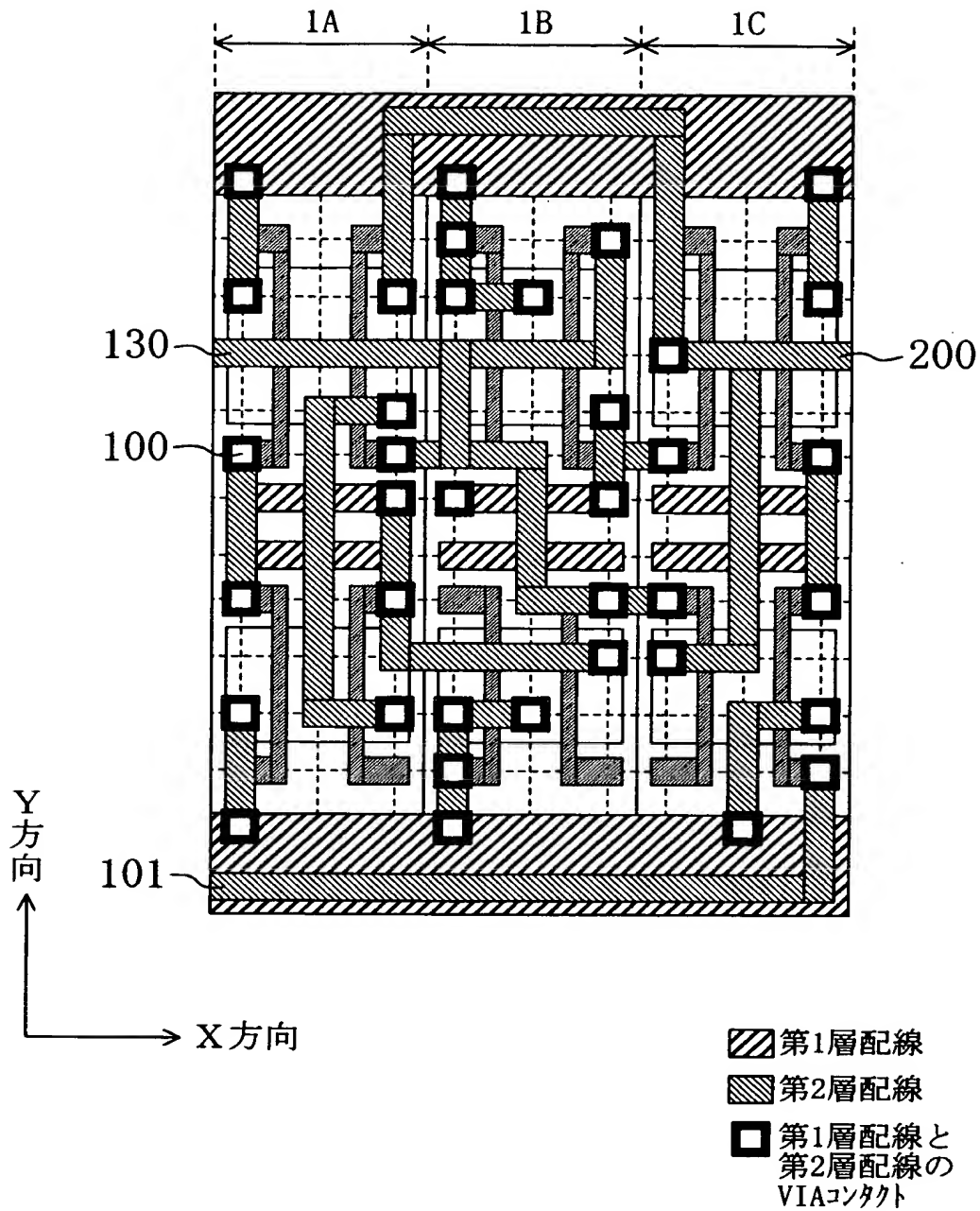
【図13】



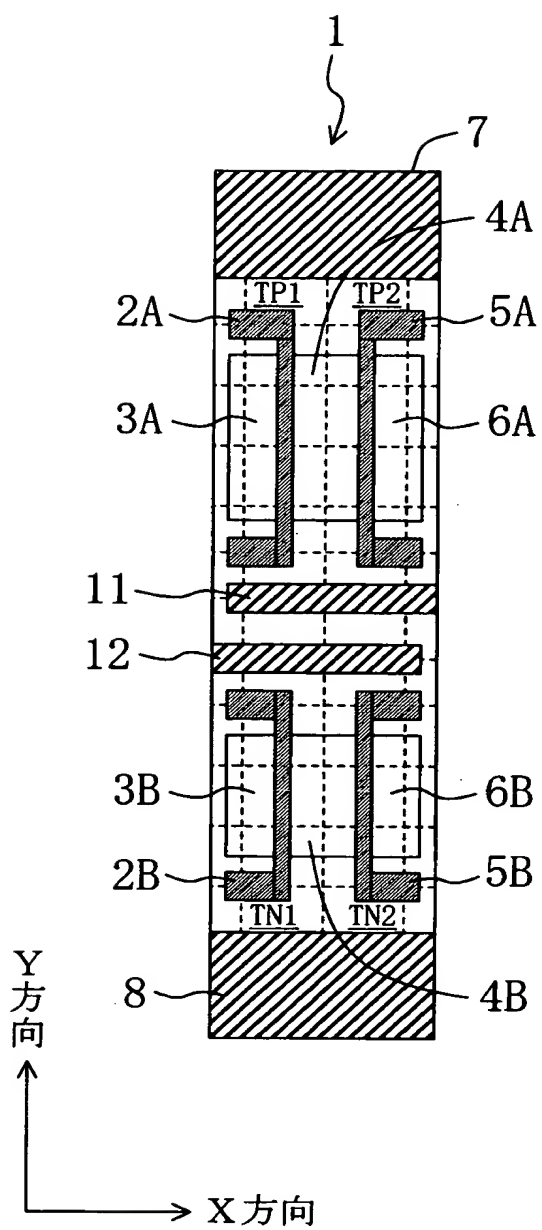
【図 1 4】



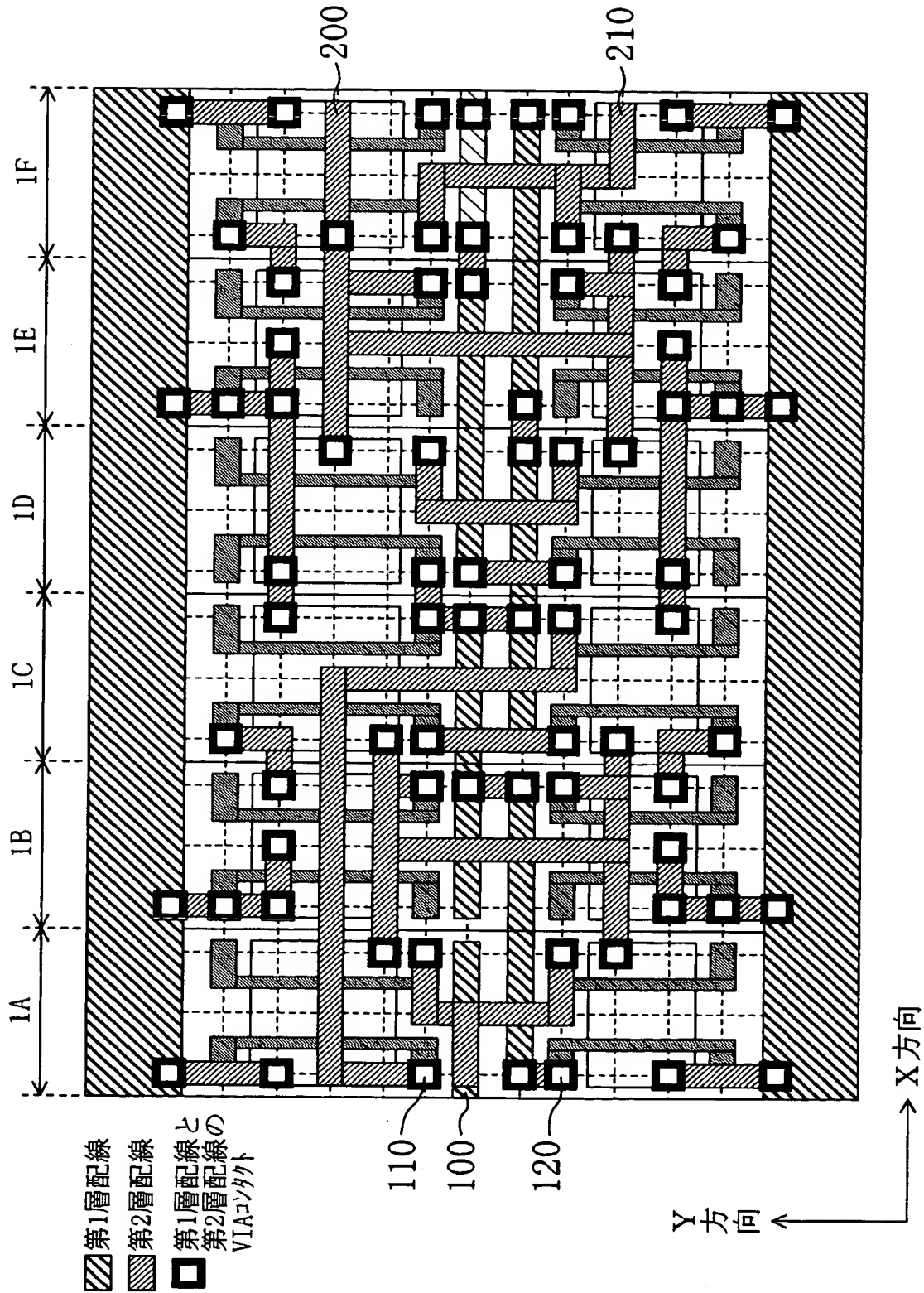
【図 1 5】



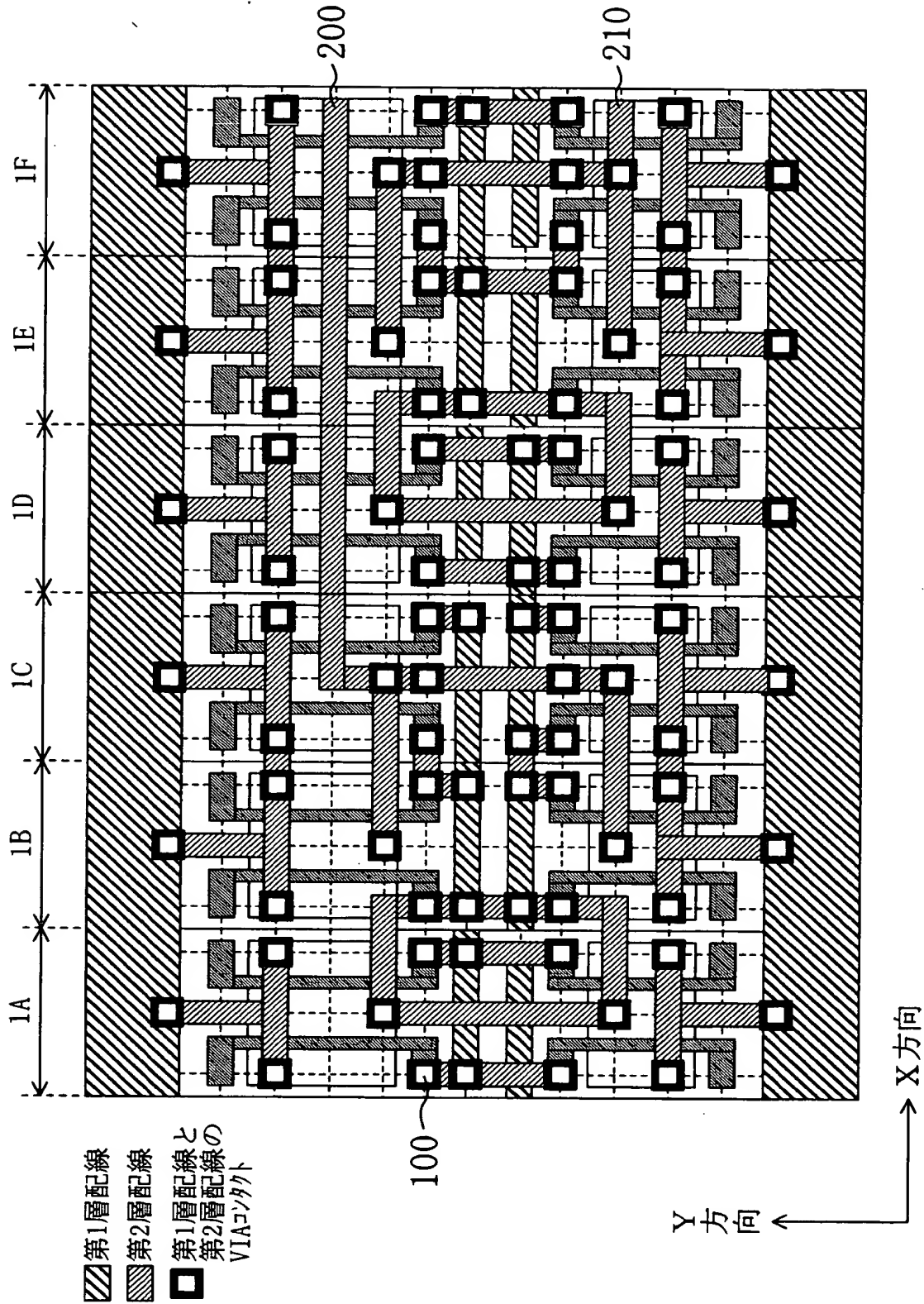
【図16】



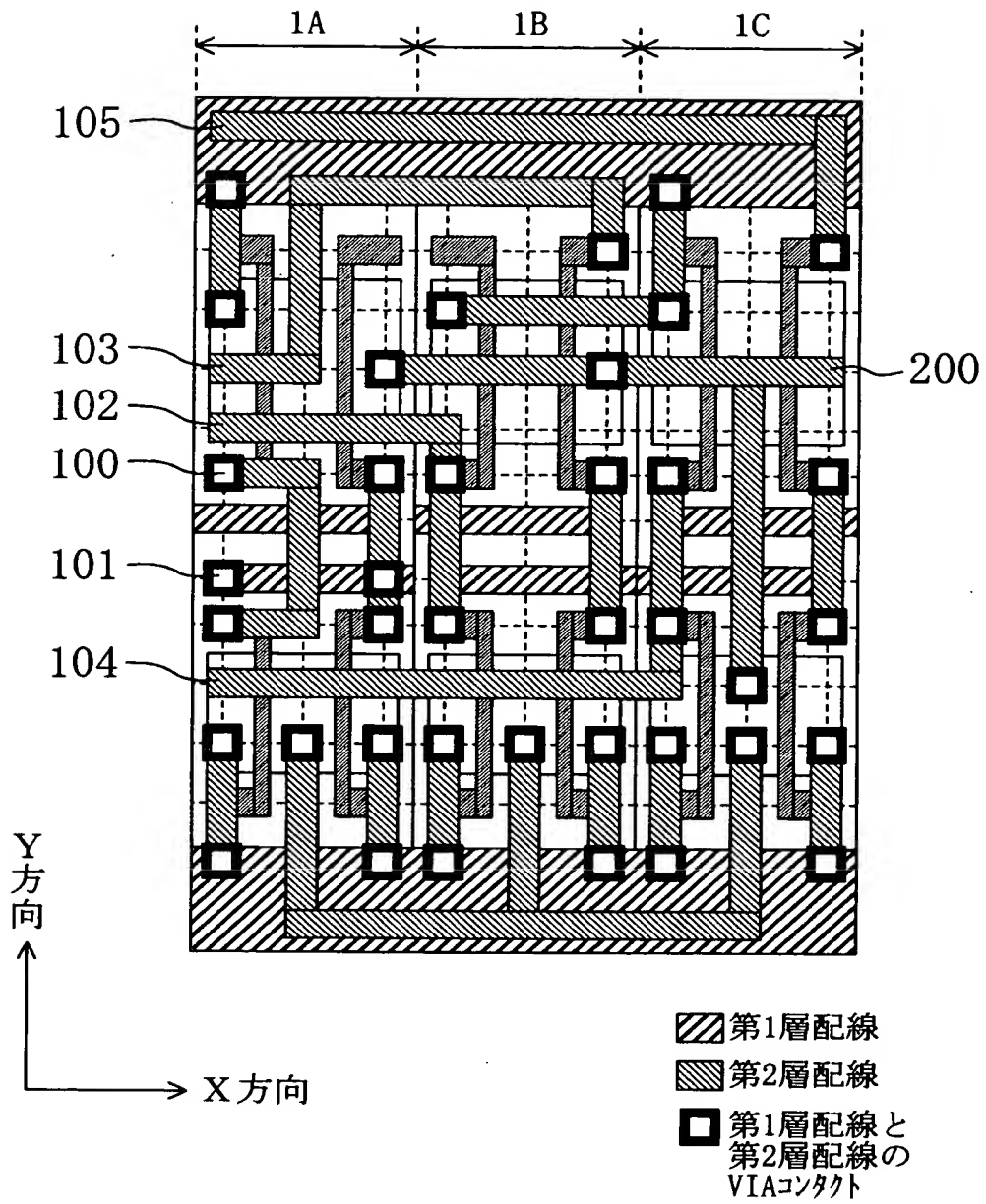
【図17】



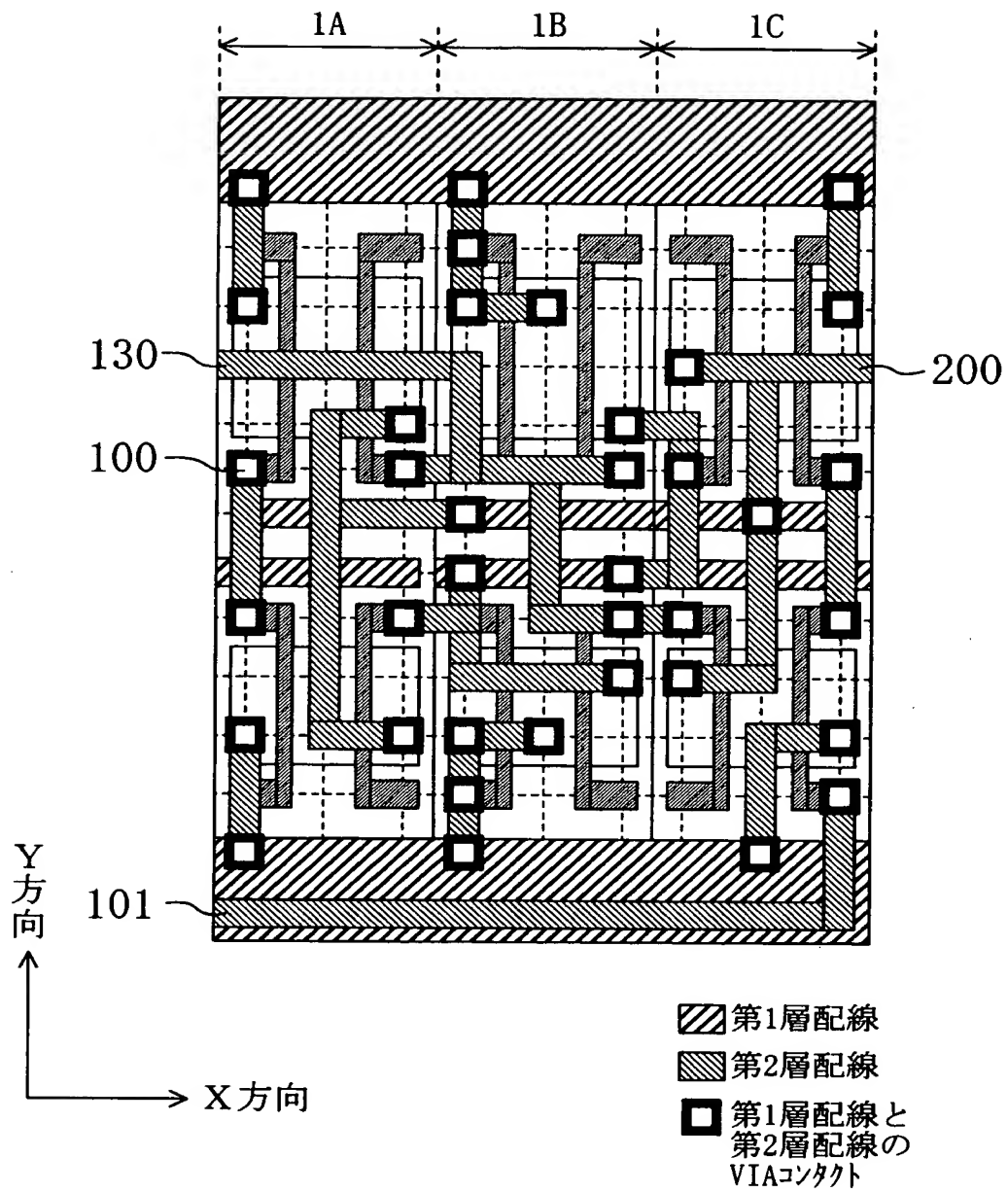
【図18】



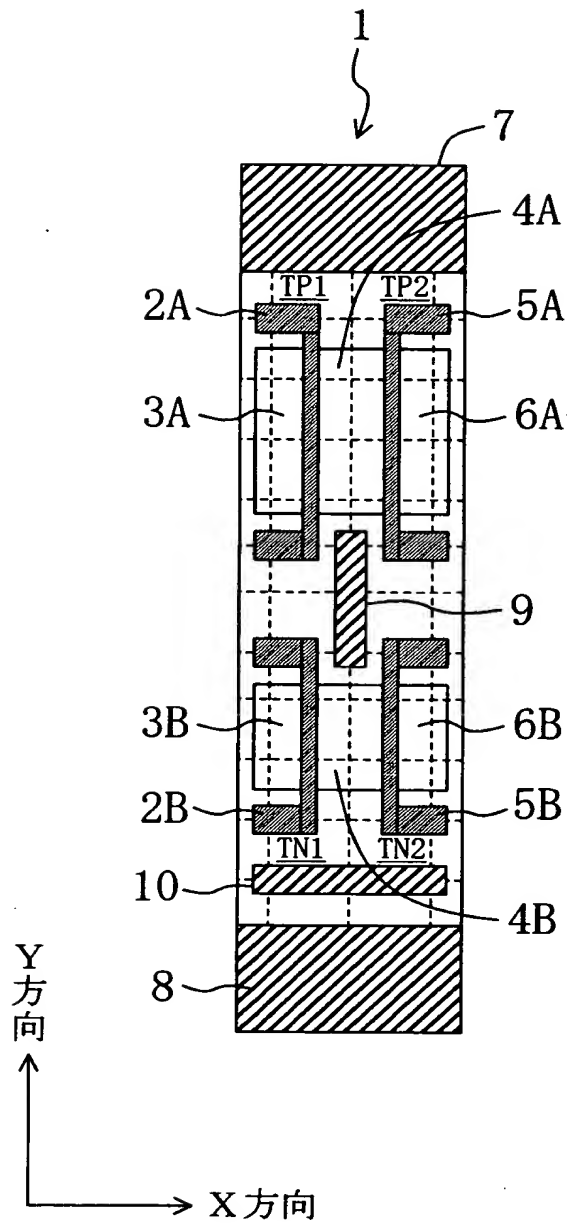
【図 1 9】



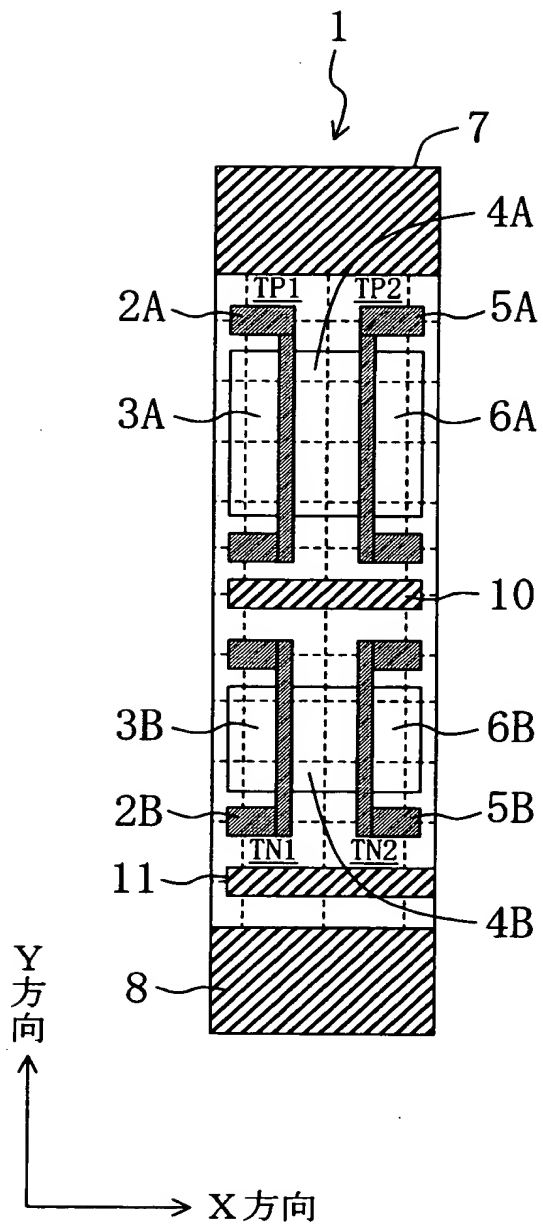
【図 2 0】



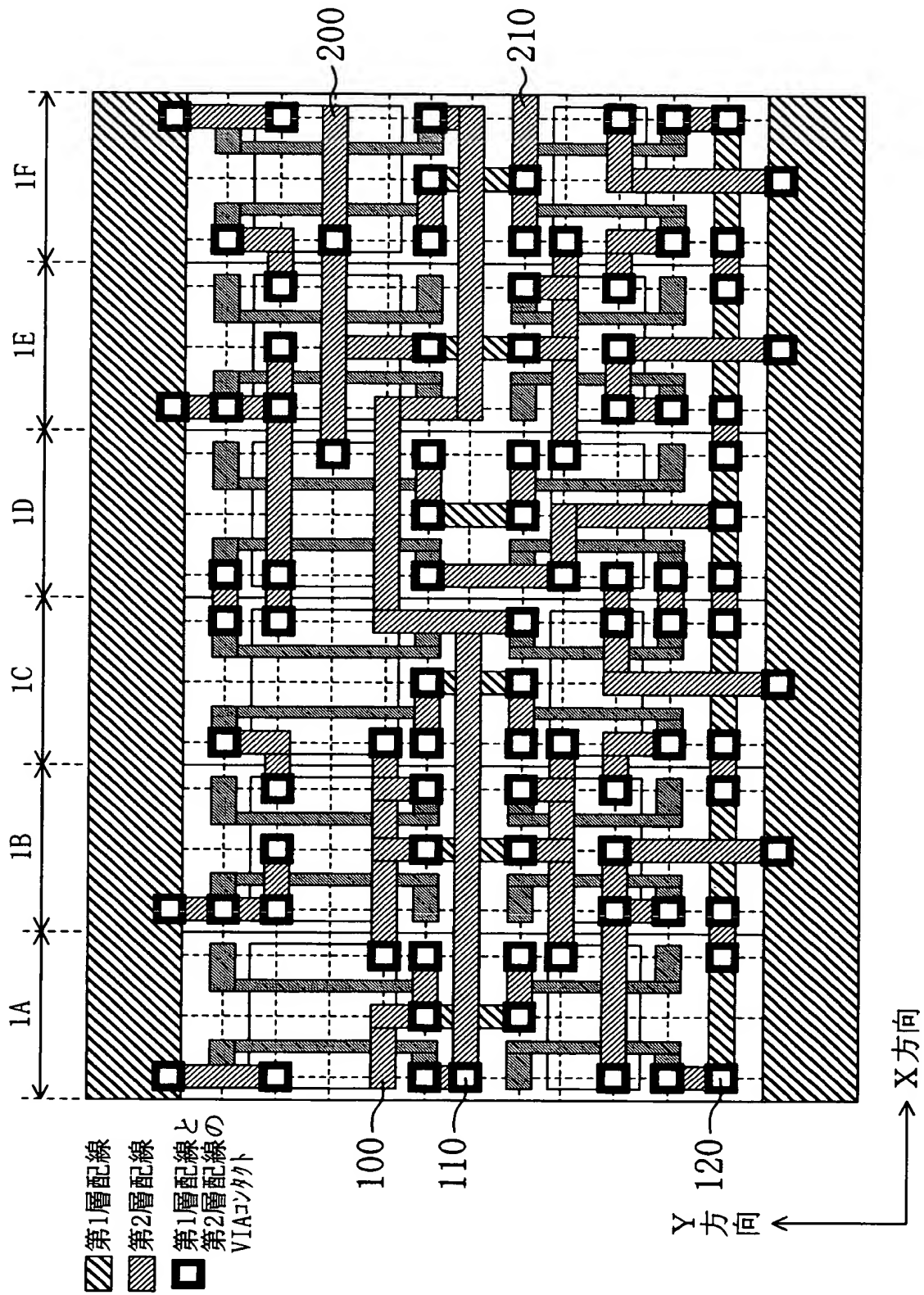
【図 2 1】



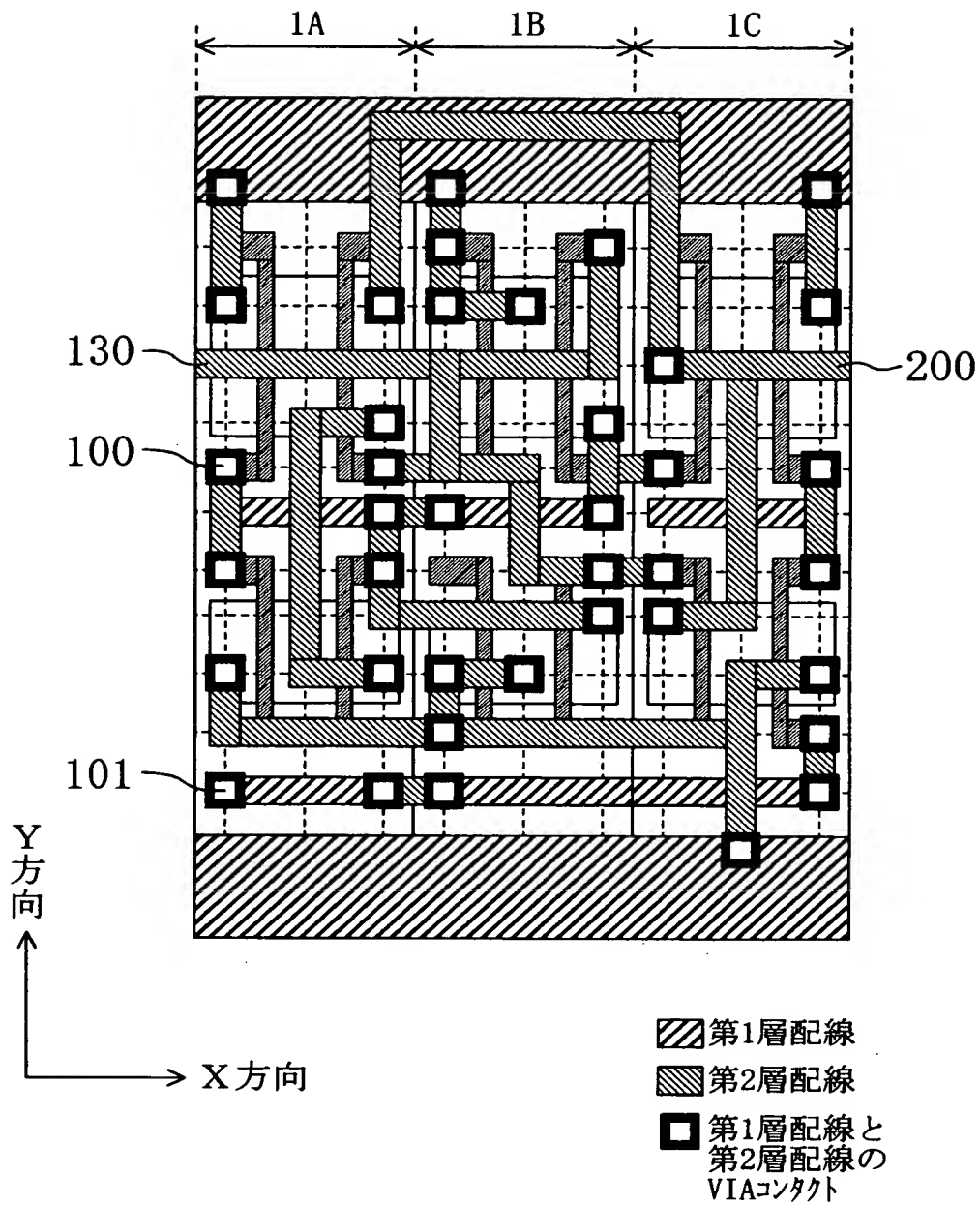
【图 2 2】



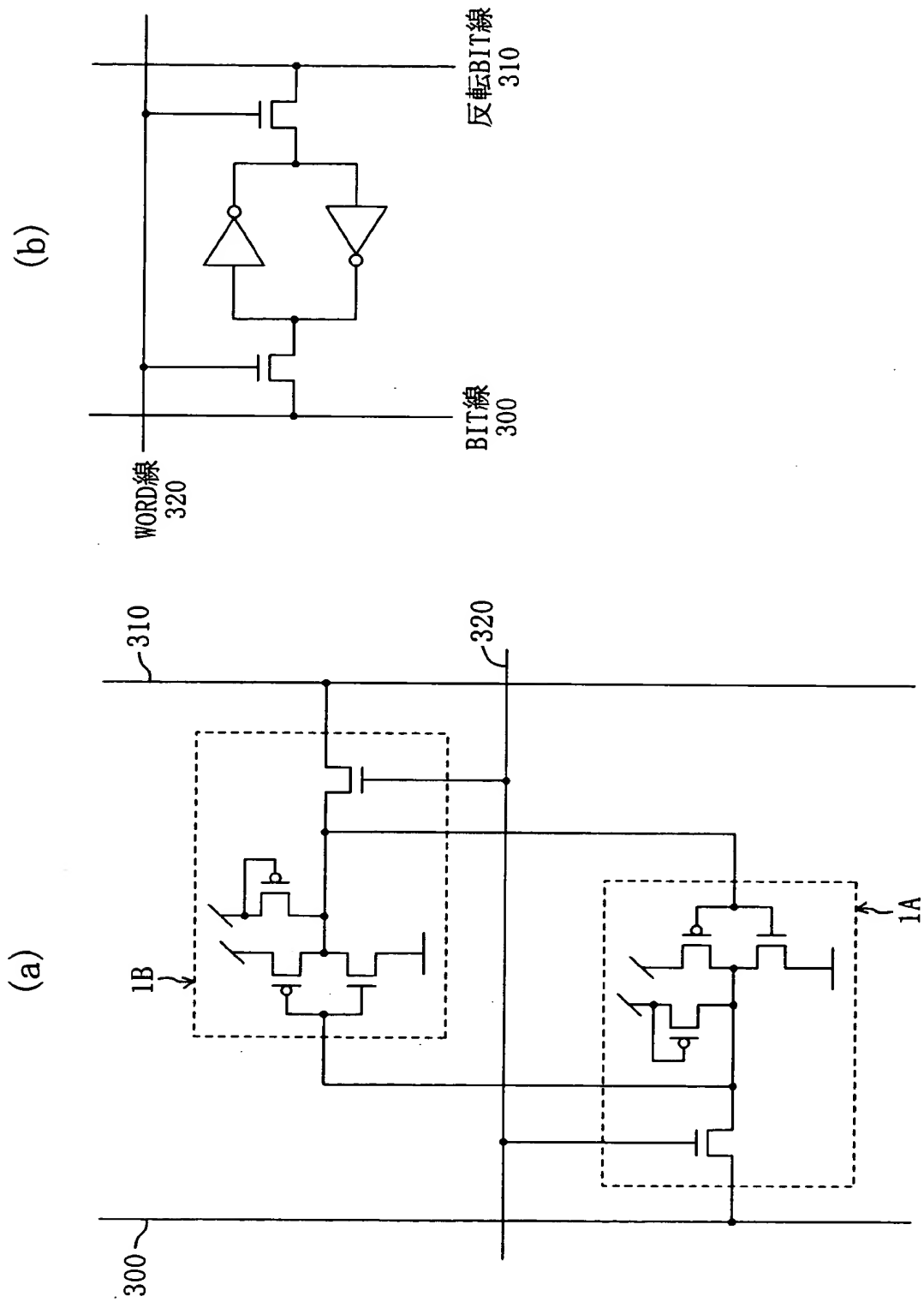
【図23】



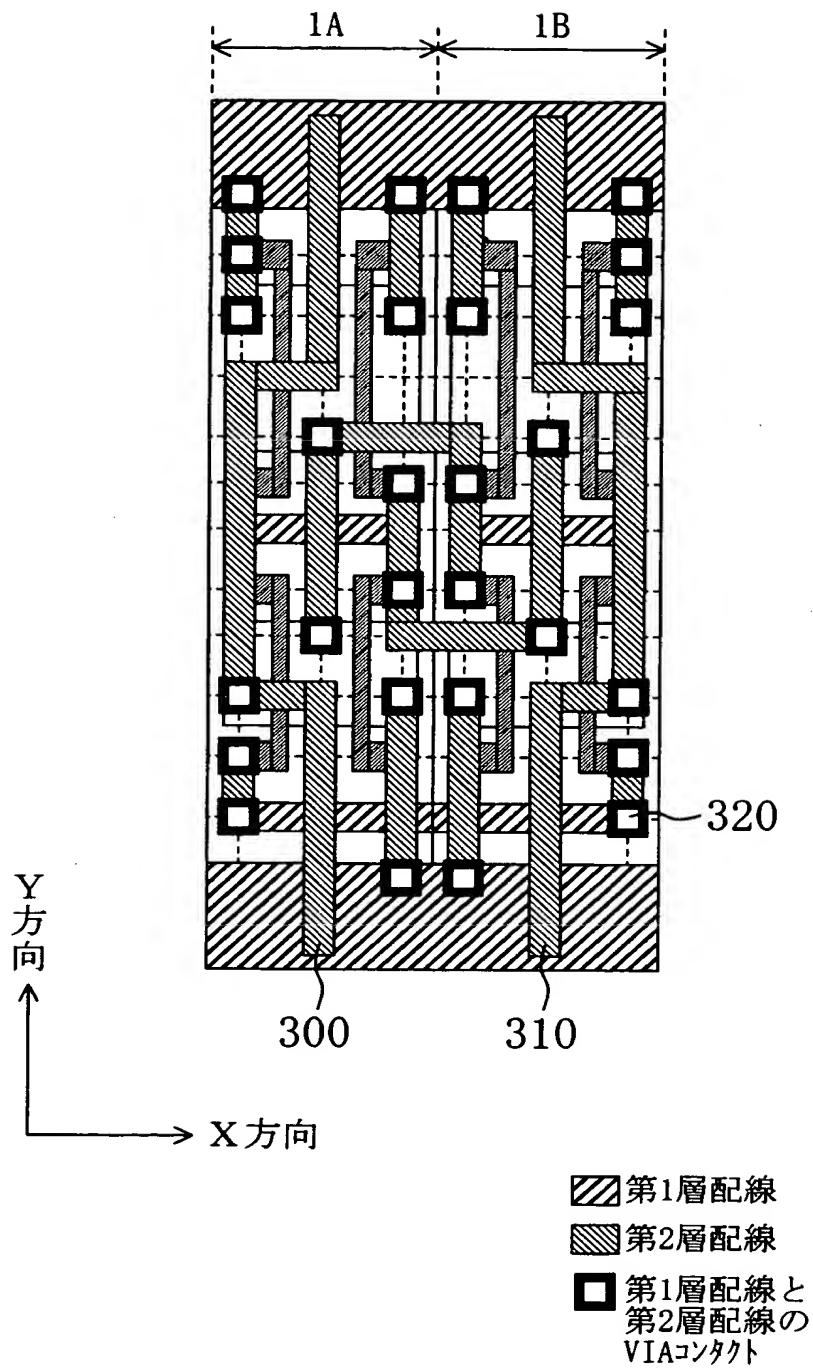
【図 2 4】



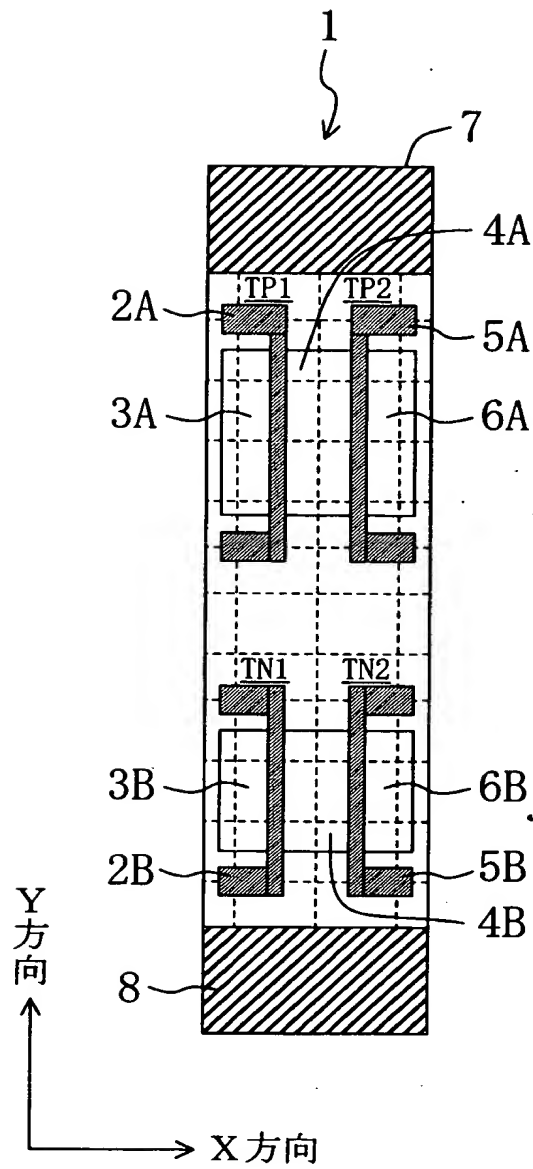
【図 25】



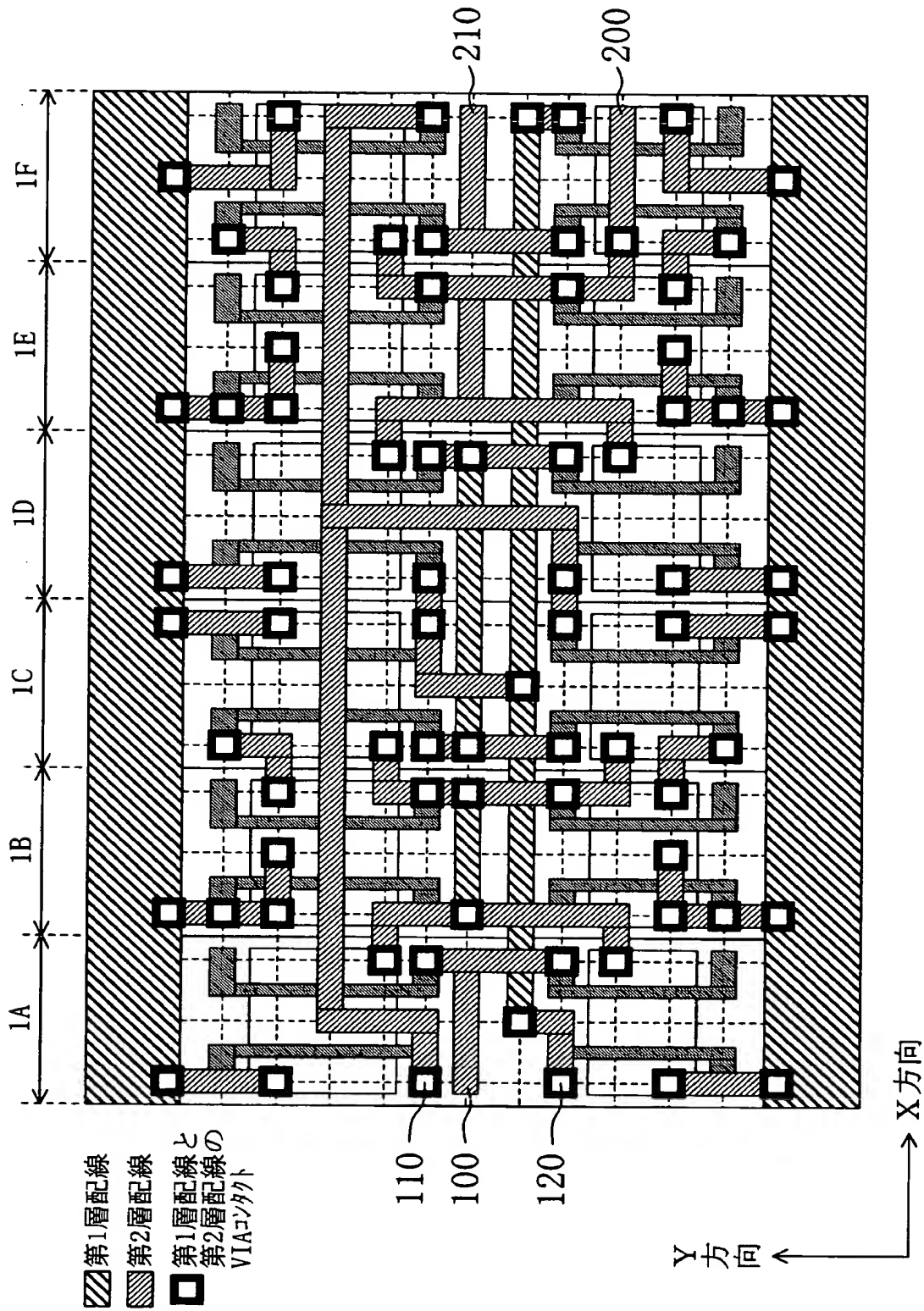
【図 2 6】



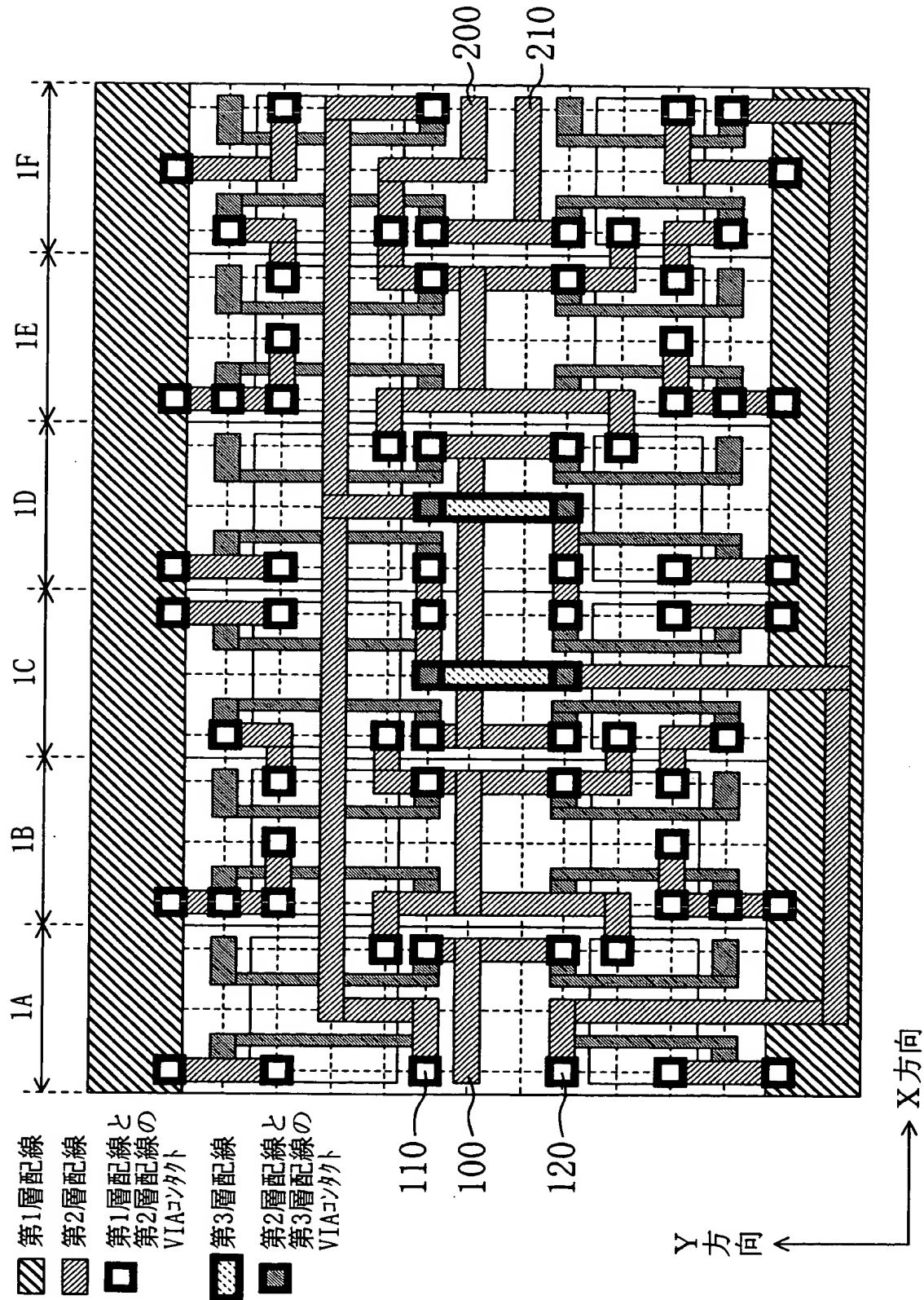
【図 27】



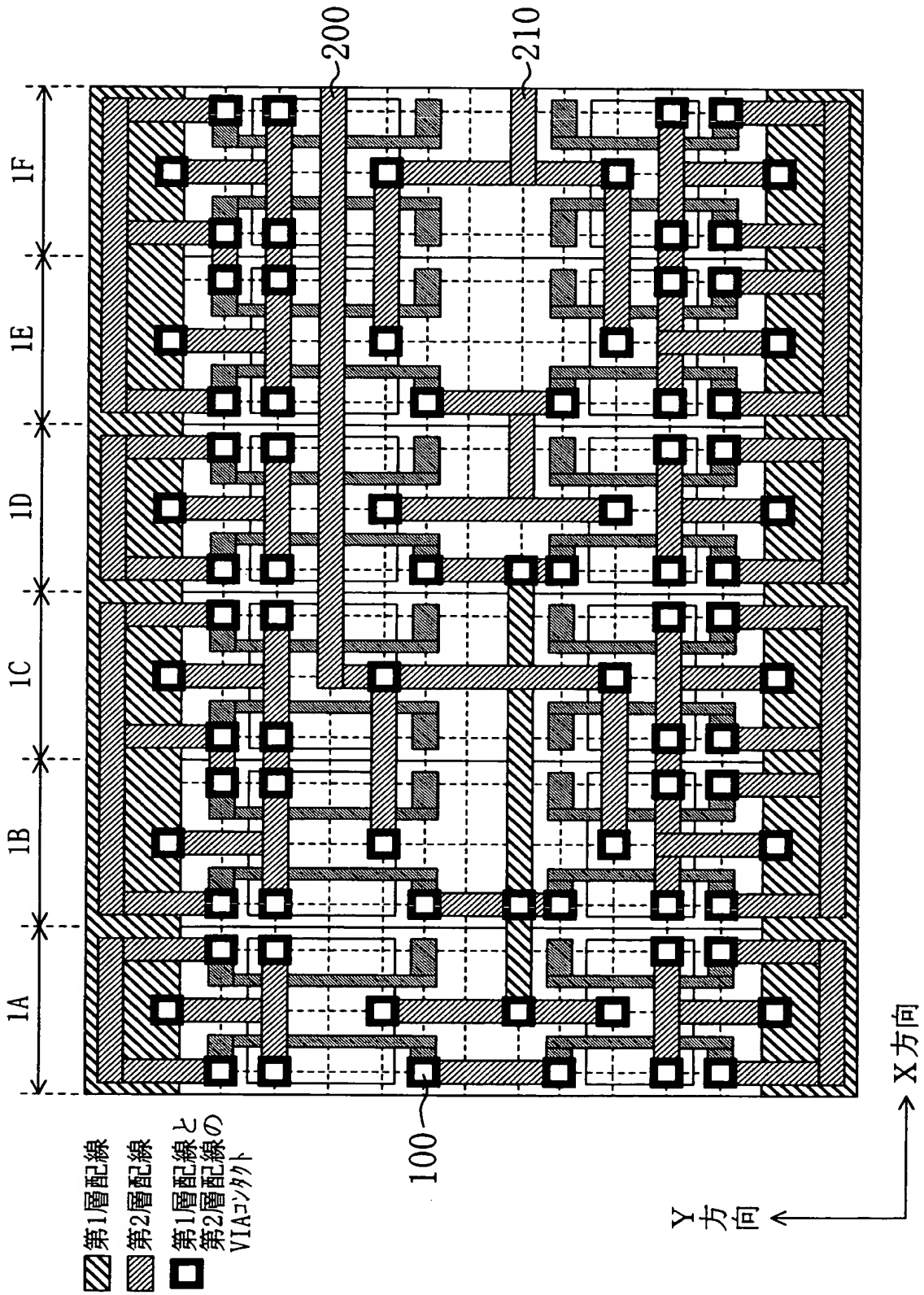
【図 28】



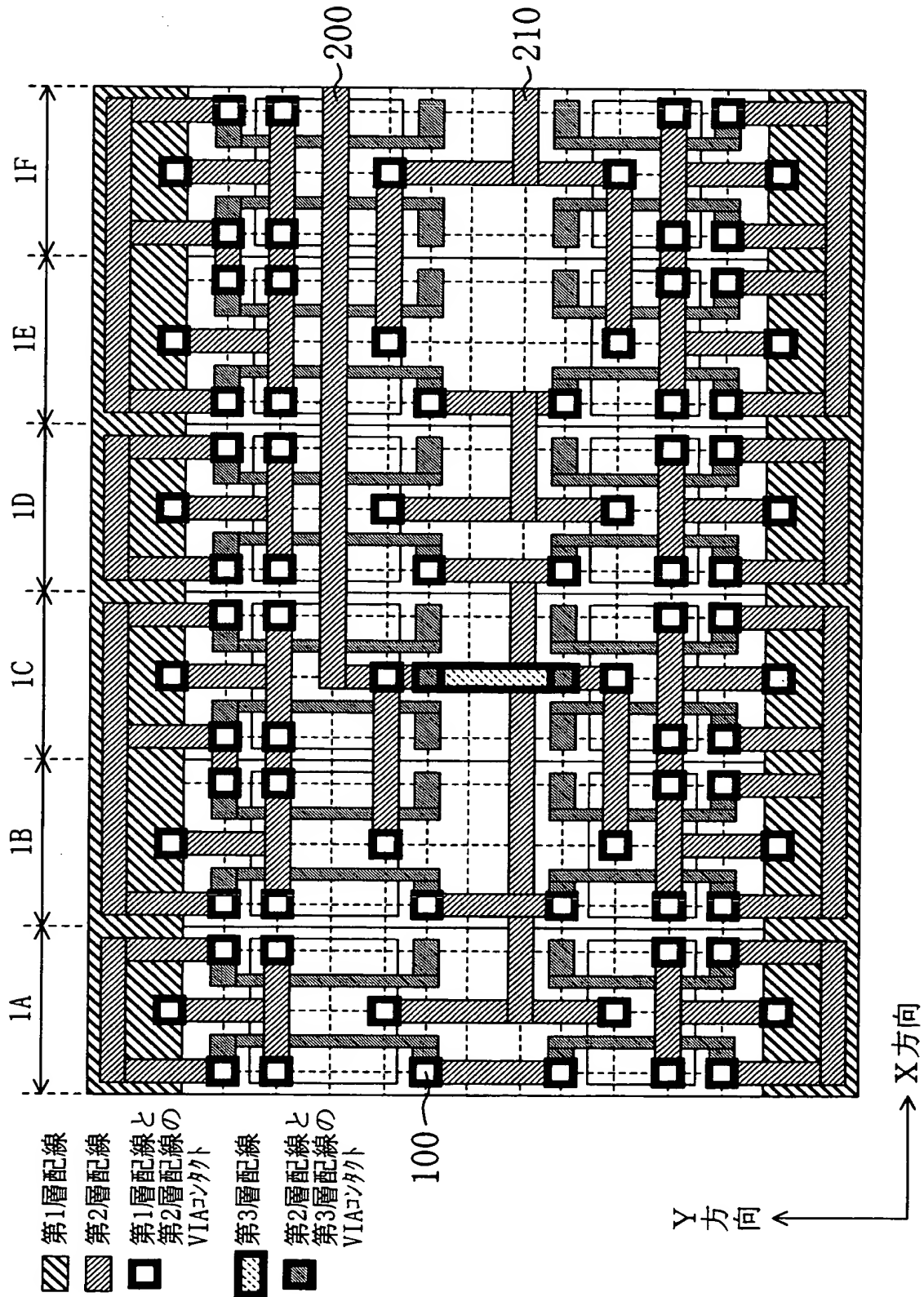
【図 29】



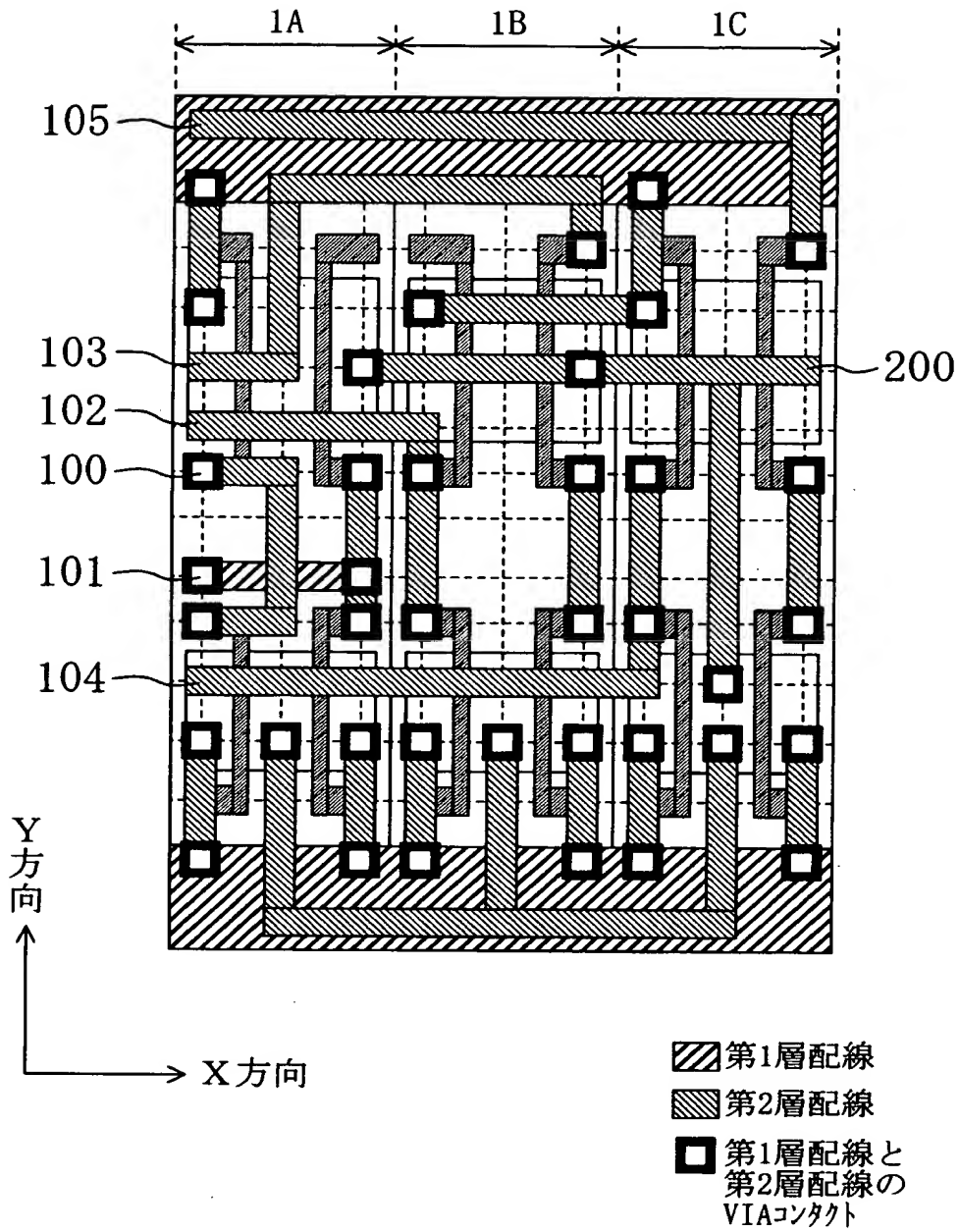
【図30】



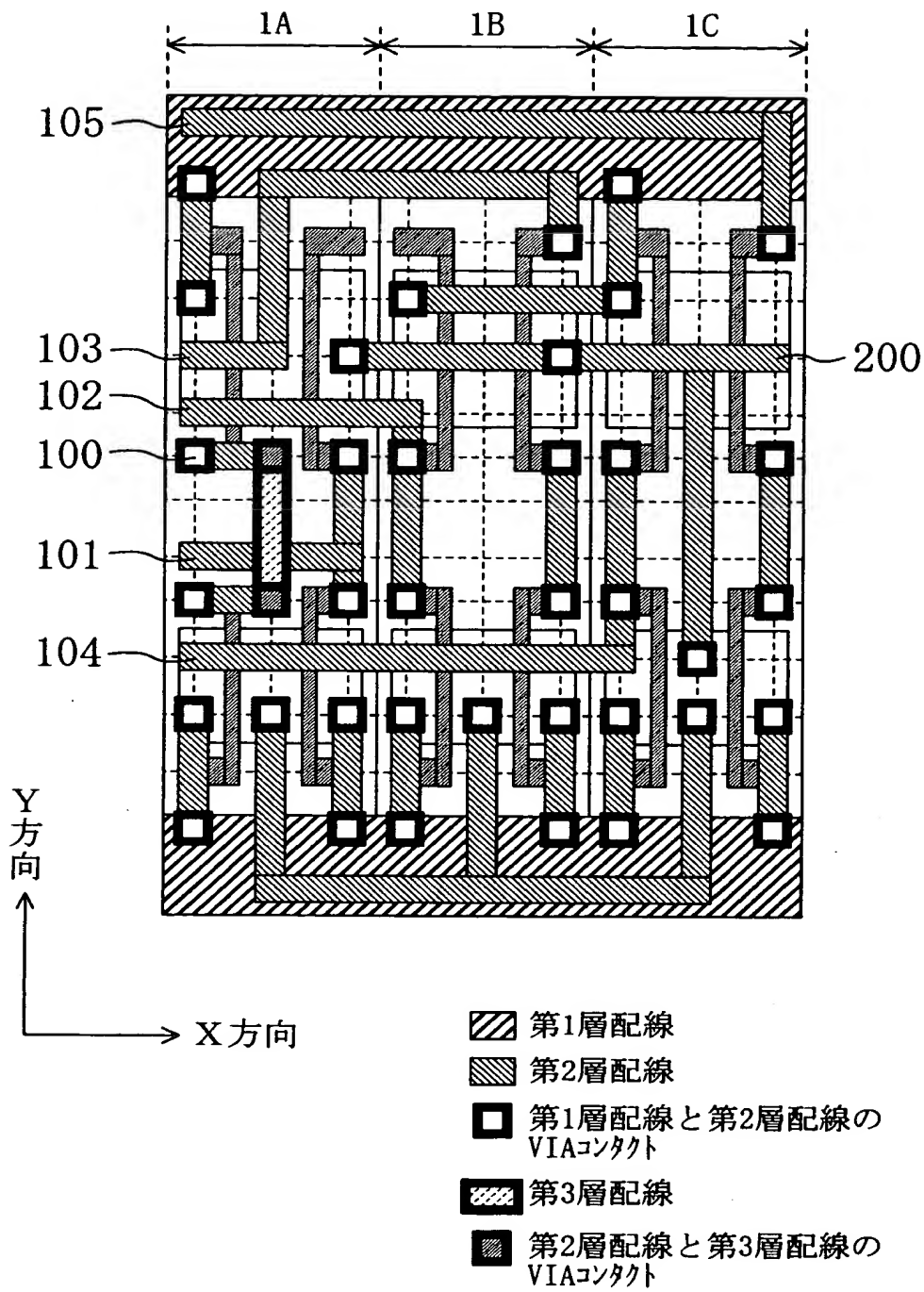
【図 3 1】



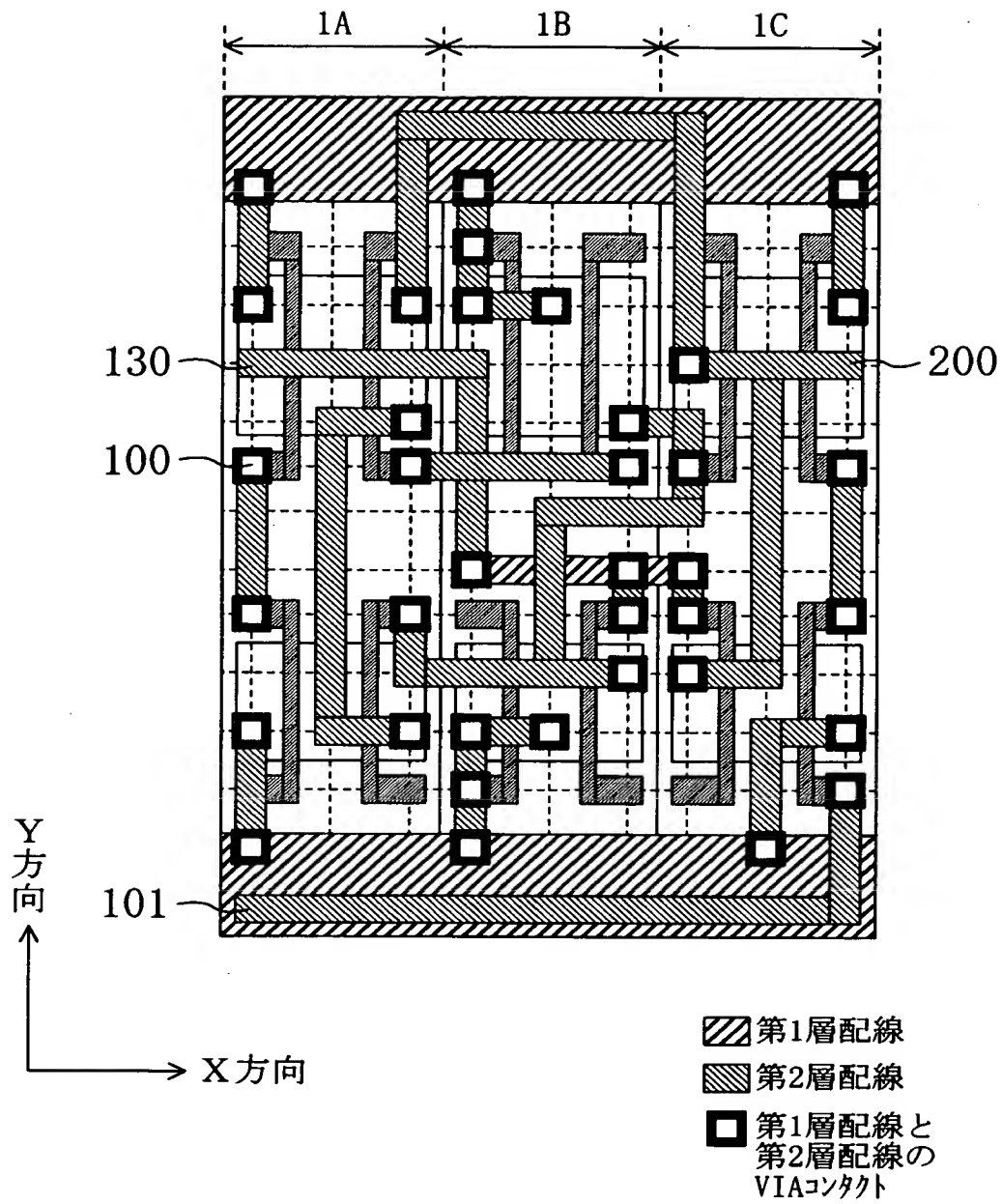
【図 3 2】



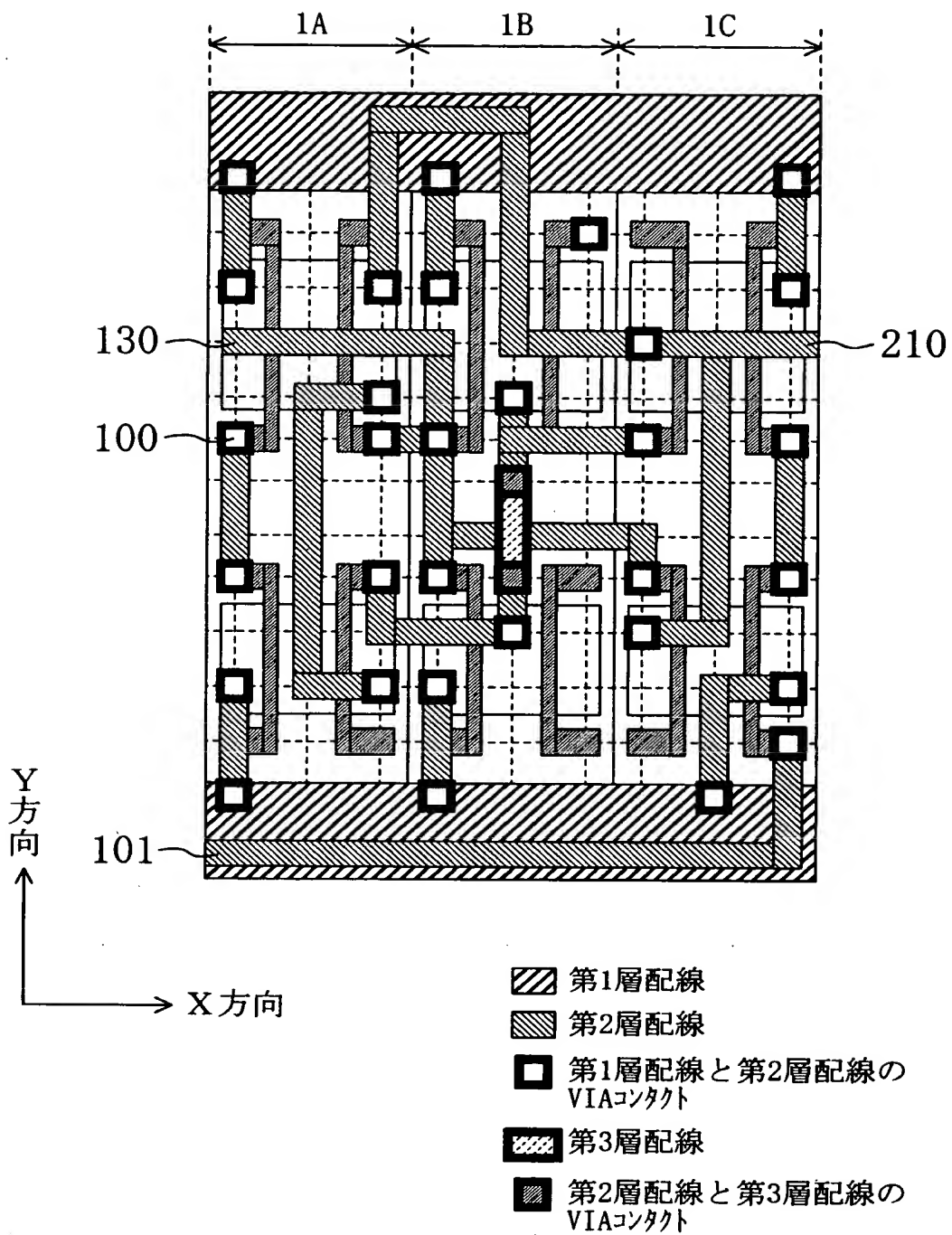
【図 3 3】



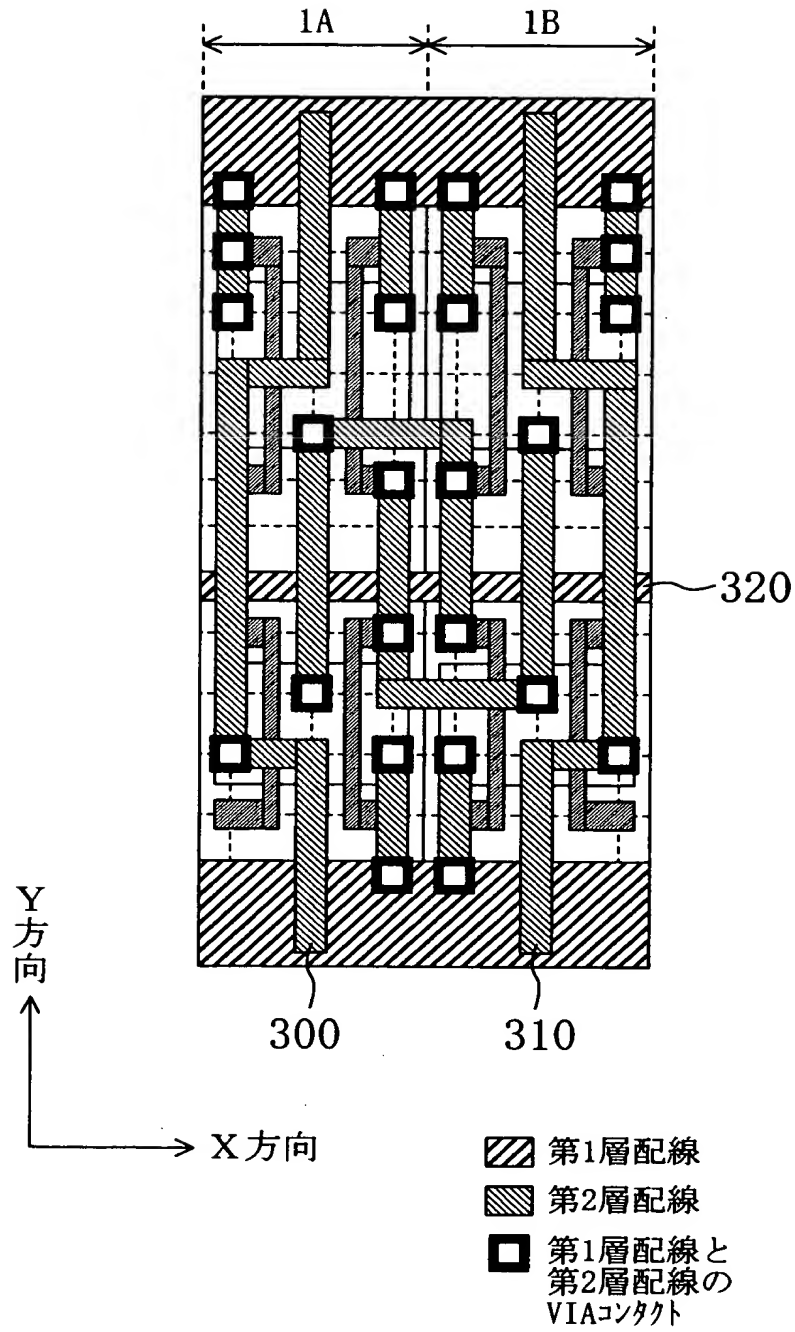
【図 3 4】



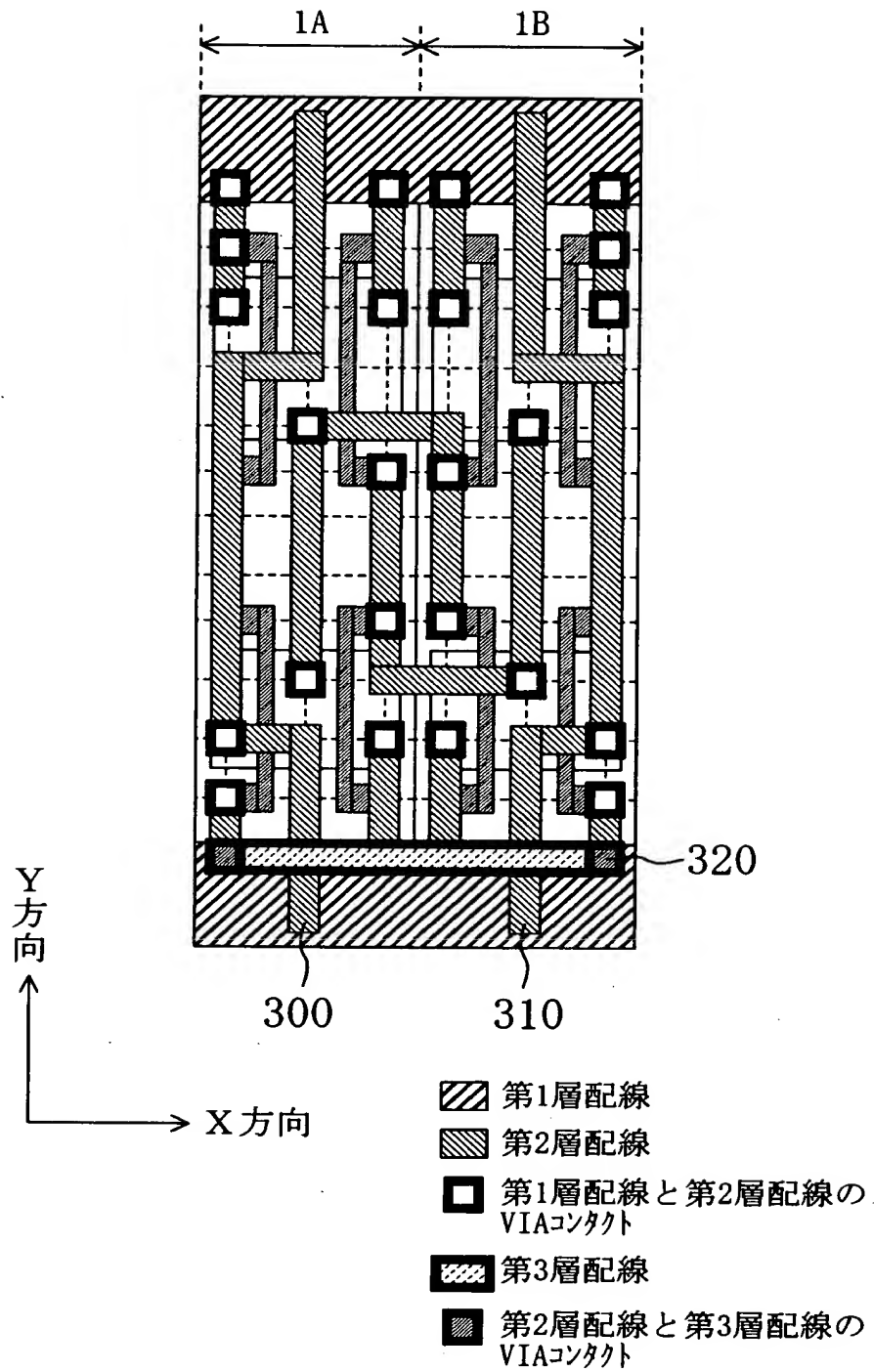
【図 3 5】



【図 36】



【図 3 7】



【書類名】 要約書

【要約】

【課題】 ゲートアレイ方式により半導体集積回路を製造する場合に、配線レイヤとしては1レイヤのみを使用して半導体集積回路を製造して、ゲート使用率の向上、レイアウト面積の縮小、開発期間の短縮を図る。

【解決手段】 CMOS型基本セル1において、Pチャンネルトランジスタ領域とNチャンネルトランジスタ領域の境界線と垂直な方向に延びる配線パターン9を設ける。この配線パターン9は、前記P及びNチャンネルトランジスタ領域とは独立して存在する。この配線パターン9は、複数個のCMOS型基本セル1を並列配置して論理セルを製造する場合に、各基本セル1間を接続する多数本の配線の一部として利用される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

 [変更理由] 新規登録

 住 所 大阪府門真市大字門真1006番地

 氏 名 松下電器産業株式会社